

**Publication number: JP2002025292**

Publication date: 2002-01-25

**Inventor:** NAKAHARA SHIGERU; HAYASHI HIDEKI; SUZUKI  
TAKESHI; HIGETA KEIICHI

**Applicant:** HITACHI LTD; HITACHI ULSI SYS CO LTD

**Classification:**

- international: G01R31/28; G06F11/16; G06F12/16; G11C7/00; G11C29/00; G11C29/04; H01L31/0328; G01R31/28; G06F11/16; G06F12/16; G11C7/00; G11C29/00; G11C29/04; H01L31/0264; (IPC1-7): G11C29/00; G01R31/28; G06F12/16

- european:

**Application number:** JP20000209946 20000711

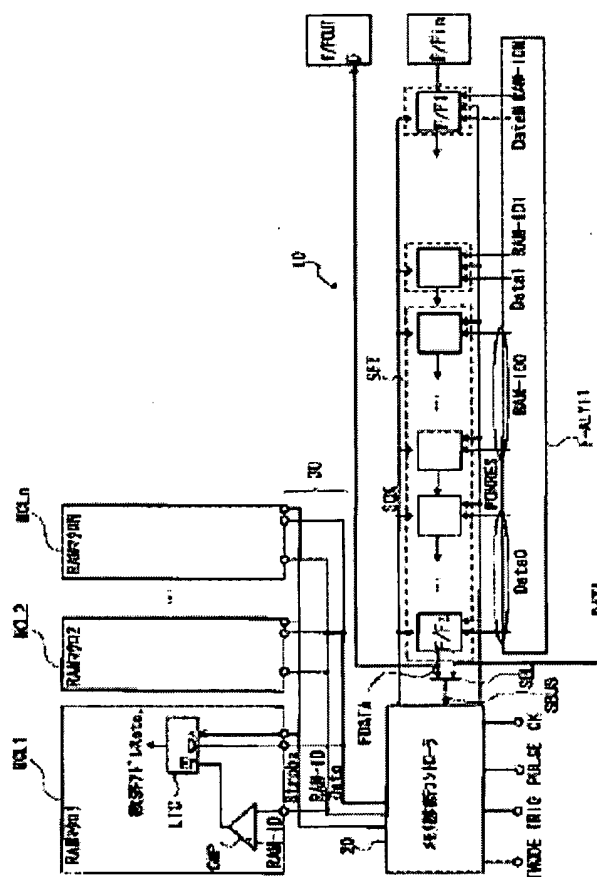
**Priority number(s):** JP20000209946 20000711

**Also published as:**

US6445627 (B1)  
US2002024062 (A1)

**Report a data error here**

**PROBLEM TO BE SOLVED:** To enable improving yield by efficiently relieving defective bits of a memory in a semiconductor memory incorporating plural memories. **SOLUTION:** This circuit is provided with plural circuit blocks (RAM macro- cell) constituted of a discrimination code coincidence detecting circuit discriminating whether an inputted discrimination code coincides with a self-discrimination code or not and a receiving data latch circuit and constituted so as to perform operation in accordance with latched data, a setting circuit (10) which can set the discrimination code and information corresponding to the discrimination code and can output set information in serial, and a control circuit (20) which reads out successively set information from the setting circuit, converts it to parallel data, and which can transfer it to the plural circuit blocks. When respective discrimination code coincidence detecting circuit discriminates that an inputted discrimination code coincides with a self-discrimination code, the plural circuit blocks takes the transferred setting information in the receiving data latch circuit and holds it.



Data supplied from the **esp@cenet** database - Worldwide



## 【特許請求の範囲】

【請求項1】 入力された識別コードが自己の識別コードと一致しているか否か判定する検出回路およびラッチ回路とを有し、前記ラッチ回路がラッチしたデータに応じた動作を行なうように構成された複数の回路ブロックと、

上記識別コードと該識別コードに対応した情報を設定可能であって設定された情報をシリアルに出力可能な設定回路と、

該設定回路から設定情報を順次読み出してパラレルデータに変換して上記複数の回路ブロックへ転送可能な制御回路とを備え、

上記複数の回路ブロックは、それぞれの上記検出回路が入力された識別コードと自己の識別コードとが一致していると判定したとき、上記設定情報を対応する上記ラッチ回路に保持するように構成されていることを特徴とする半導体集積回路。

【請求項2】 上記複数の回路ブロックへの設定情報の転送は、複数の信号線を有するバスを介して行なわれることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 上記設定回路は、外部からプログラム可能な複数のプログラム素子と、各プログラム素子の状態を並列に読み込んでシリアルに転送するシフトレジスタとにより構成されていることを特徴とする請求項1に記載の半導体集積回路。

【請求項4】 上記シフトレジスタは、上記制御回路から供給されるシフト用クロック信号に従ってシフト動作するように構成されていることを特徴とする請求項3に記載の半導体集積回路。

【請求項5】 外部から情報を入力可能な端子を備え、上記制御回路は上記端子から入力された情報または上記設定回路に設定されている情報のいずれかを上記複数の回路ブロックのラッチ回路へ転送可能に構成されていることを特徴とする請求項1に記載の半導体集積回路。

【請求項6】 上記複数の回路ブロックは欠陥を有するメモリセルを予備のメモリセルと置き換える冗長回路を備えたメモリ回路を含み、上記ラッチ回路は上記冗長回路を有効にする救済アドレスを取り込んで保持することを特徴とする請求項1に記載の半導体集積回路。

【請求項7】 上記複数の回路ブロックは所定の回路の動作タイミングを与える信号のタイミングを調整可能なタイミング調整手段を備え、上記ラッチ回路は上記タイミング調整手段におけるタイミング情報を取り込んで保持することを特徴とする請求項1に記載の半導体集積回路。

【請求項8】 上記複数の回路ブロックは欠陥を有するメモリセルを予備のメモリセルと置き換える冗長回路および所定の回路の動作タイミングを与える信号のタイミングを調整可能なタイミング調整手段とを備えたメモリ回路を含み、上記ラッチ回路は上記制御回路から供給さ

れる信号に基づいて救済アドレスまたは上記タイミング調整手段におけるタイミング情報を取り込んで保持し、取り込んだ情報に対応した動作をすることを特徴とする請求項1に記載の半導体集積回路。

【請求項9】 上記複数の回路ブロックをテストのために動作させるテスト制御回路を有し、上記回路ブロックは上記テスト制御回路からの制御信号を受けて動作しテスト動作結果を出力可能に構成されていることを特徴とする請求項1に記載の半導体集積回路。

【請求項10】 半導体集積回路における情報設定方法であって、テスト制御回路による複数の回路ブロックのテスト結果に基づいて設定回路に設定する情報を決定し、上記設定回路に対する情報の設定を行なうことを特徴とする半導体集積回路の情報設定方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路技術さらには回路ブロック毎の設定を変更可能にする技術に関し、例えば複数のメモリを内蔵した半導体集積回路におけるメモリ不良ビットの救済方式、メモリの動作タイミング調整及び上記メモリの診断テストに適用して有効な技術に関する。

## 【0002】

【従来の技術】従来、RAM（ランダム・アクセス・メモリ）などの半導体メモリあるいはメモリを内蔵した半導体集積回路においては、メモリに含まれる不良ビットを救済して歩留まりを向上させるため、予備のメモリ列やメモリ行および欠陥アドレスを記憶するアドレス設定回路などからなる冗長回路が設けられている。かかる冗長回路における欠陥アドレスの設定は、レーザなどによりプログラム可能なヒューズを用いて行なう方式が一般的である。尚、公知例として、特開平4-274096（対応米国特許第5,430,679号）及び特開平10-275494（対応米国特許第5,859,801号）がある。

【0003】ところで、近年半導体集積回路の高集積化に伴い、1つの半導体チップ上に複数のメモリを内蔵したLSIも数多く見られるようになってきている。例えば、計算機用のプロセッサなどにおいては、大容量1次キャッシュや2次キャッシュ、TLB、Tagキャッシュ、分岐予測用メモリ、ライトバッファなど種々のRAMを提供するために100個近い内蔵RAMが設けられることもある。

## 【0004】

【発明が解決しようとする課題】上記のように多数のRAM（メモリ）を内蔵したLSIにおいて、各内蔵RAMごとに欠陥アドレスを記憶するアドレス設定回路などからなる冗長回路を設けようとする、例えば内蔵RAMの数が100個で、救済アドレスが10ビットである場合を考えると、約1000個のヒューズが必要とな

る。そのため、冗長回路によるチップサイズの増大を招くという問題点がある。

【0005】ところで、本発明者らは、1Mビット以下の記憶容量を有する内蔵RAMを100個程度設けたようなLSIにおいては、100個すべての内蔵RAMで救済可能な不良ビットが発生する確率は非常に低く、数個～数10個の内蔵RAMで救済可能な不良ビットが発生することが多いため、すべての内蔵RAMに冗長回路を設けてもそれによる歩留まりの向上の効率はあまり良くないことを見出した。また、多数のRAMの診断を合理的に行うことも重要となっている。

【0006】この発明の目的は、RAMのようなメモリ回路を複数個内蔵した半導体集積回路において、効率良くメモリ回路の不良ビットを救済して歩留まりの向上を図ることができる半導体集積回路技術を提供することにある。

【0007】この発明の他の目的は、複数のメモリ回路を内蔵した半導体集積回路において、メモリ回路のアクセスタイミングを調整して動作マージンを高めかつより高速にメモリ回路をアクセスすることができる半導体集積回路を提供することにある。

【0008】この発明の他の目的は、メモリ診断及びメモリ特性設定に共用される総合的バス方式を有する半導体集積回路を提供することにある。

【0009】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0011】すなわち、入力された識別コードが自己の識別コードと一致しているか否か判定する識別コード一致検出回路および受信データラッチ回路または保持回路とを有しラッチしたデータに応じた動作を行なうように構成された複数の回路ブロックと、上記識別コードと該識別コードに対応した情報を設定可能であって設定された情報をシリアルに出力可能な設定回路と、該設定回路からの設定情報をシリアルバスを介してシリアルデータとして順次読み出し、それをパラレルデータに変換して上記複数の回路ブロックへ転送可能な制御回路とを備える。上記複数の回路ブロックは、それぞれの上記識別コード一致検出回路が入力された識別コードと自己の識別コードとが一致していると判定したときに転送されてきた上記設定情報を対応する上記受信データラッチ回路に取り込んで保持するように構成したものである。

【0012】上記した手段によれば、半導体集積回路の製造後に半導体集積回路内の回路ブロック毎に救済アドレス情報やタイミング調整などの設定を変更することができ、これによって各回路ブロックの性能を最大限に引

き出すことができる。さらに、複数の回路ブロックに対してそれらの回路ブロックに保持されるべき情報を設定する設定回路を共用させることができるため、設定回路の規模を大幅に低減することができる。また、設定回路の設定情報を、シリアルバスを利用したシリアルデータとして読み出す構成であるため、制御回路の回路を変更することなく設定回路に設定可能な情報量を増加させることができる。さらに、設定回路の設定情報の各回路ブロックへの転送は、システムの立上がり時などに1回行なえば良いので、シリアル転送方式としたことによるスルーputの低下は少ない。

【0013】ここで、望ましくは、上記制御回路から上記複数の回路ブロックへの設定情報の転送はパラレルバスを介して行なわれるようにする。これにより、設定回路から複数の回路ブロックに対して設定情報を転送するパラレルバス内の複数の信号線を共通化することができ、それぞれの回路ブロックに対して設定情報を転送する専用信号線を設ける場合に比べて大幅に信号線の数を減らすことができる。

【0014】また、上記設定回路は、半導体集積回路の外部からプログラム可能な複数のプログラム素子と、各プログラム素子の状態を並列に読み込んでシリアルに転送するシフトレジスタとにより構成する。これにより、半導体集積回路の製造後に任意の情報を設定することができるとともに、設定回路に設定された情報の読出しを効率良く行なうことができる。

【0015】さらに、上記シフトレジスタは、上記制御回路から供給されるシフト用クロック信号に従ってシフト動作するように構成する。これにより、外部でシフト用クロック信号を生成して与えることなく自動的に設定情報の転送を行なうことができる。

【0016】また、半導体集積回路の外部から情報を入力可能な複数の端子を設け、上記制御回路は上記複数の端子から入力された情報または上記設定回路に設定されている情報のいずれかを上記複数の回路ブロックにパラレルバスを利用して転送可能に構成すると良い。これにより、設定回路に情報を設定する前に各回路ブロックに設定情報を保持させてテスト動作させることによって、設定する情報が適当かどうか予め確認することができ、誤った設定を回避することができる。また、上記パラレルバスは共用して利用されるため、回路規模の増加を防ぐことができる。

【0017】上記複数の回路ブロックは欠陥を有するメモリセルを予備のメモリセルと置き換える冗長回路を備えたメモリ回路である場合に、上記受信データラッチ回路は上記冗長回路を有効にする救済アドレスを取り込んで保持するように構成する。1つの半導体集積回路に複数のメモリ回路が内蔵され、各メモリ回路に冗長回路が設けられている場合に、各メモリ回路毎にプログラム素子を含む救済アドレス設定回路を設けるようにするとプ

ログラム素子の数だけで膨大な数となりチップサイズの増大の原因となるが、上記手段によると、救済アドレスを設定する回路を共通化できるため、トータルのプログラム素子の数を減らし、チップサイズを低減することが可能となる。

【0018】上記複数の回路ブロックは所定の回路の動作タイミングを与える信号のタイミングを調整可能なタイミング調整手段を備え、上記受信データラッチ回路は上記タイミング調整手段におけるタイミング情報を取り込んで保持するように構成する。これにより、各回路ブロックの動作タイミングの最適化が可能となり、回路の動作速度を高めることができるとともに、各回路ブロック毎にタイミング情報を設定する回路を設ける場合に比べて大幅に回路規模を低減することができる。

【0019】上記複数の回路ブロックは欠陥を有するメモリセルを予備のメモリセルと置き換える冗長回路および所定の回路の動作タイミングを与える信号のタイミングを調整可能なタイミング調整手段とを備えたメモリ回路であって、上記受信データラッチ回路は上記制御回路から供給される信号に基づいて上記救済アドレスまたは上記タイミング調整手段におけるタイミング情報を取り込んで保持し、取り込んだ情報に対応した動作をするように構成する。これにより、冗長回路用の救済アドレスを保持する回路と記タイミング調整手段におけるタイミング情報を保持する回路とを共通化できるため、別々に回路を設ける場合に比べて回路規模を低減することができる。

【0020】上記複数の回路ブロックをテストのために動作させるテスト制御回路を設け、上記回路ブロックは上記テスト制御回路からの制御信号を受けて動作しテスト動作結果を出力できるように構成する。これにより、高価なテストを用いることなく回路ブロックのテストを行なうことができ、コストダウンを図ることができる。

【0021】さらに、上記テスト制御回路による上記複数の回路ブロックのテスト結果に基づいて上記設定回路に設定する情報を決定し、上記設定回路に対する情報の設定を行なう。これにより、高価なテストを用いることなく回路ブロックのテストを行なうことができ、コストダウンを図ることができるとともに、テスト結果に基づく設定回路への情報設定も簡単に行なうことができ、テストおよび設定回路への設定に要する時間を大幅に短縮することができる。

【0022】

【発明の実施の形態】以下、本発明の好適な半導体集積回路の実施例を図面に基いて説明する。

【0023】本発明の半導体集積回路は、図1にその概略を示すように、チップに内蔵されている複数のメモリブロックMCL1、MCL2……MCLnのそれぞれに予め識別コード(IDコード)を与えておいて、その識別コードと入力された識別コード(RAM-ID)とを

比較するコンパレータCMPと識別コードが一致した時に入力されているアドレスなどの情報(Data)をラッチするラッチ回路又は保持回路LTCとを設けておく。一方、メモリブロックとは別の場所に複数のメモリブロックMCL1、MCL2……MCLnに対して救済アドレス(Data0～DataM)と救済するメモリブロックを特定するための識別コード(RAM-ID0～RAM-IDM)を対で設定する設定回路10と、この設定回路10を制御する制御回路としてのメモリ診断コントローラ20とを設ける。さらに、設定回路10は、外部からプログラム可能なプログラム素子としてのヒューズを並べて配置したヒューズアレイF-ALY11と、それぞれのヒューズの状態を読み込んでシリアルに転送するためのシフトレジスタSFTとから構成する。そして、上記メモリ診断コントローラ20によって、上記設定回路10から設定情報をシリアルバスSBUSを介してシリアルに読み込んでそれをパラレルデータに変換してパラレルバスとしてのメモリコントロールバス30を介してメモリブロックMCL1、MCL2……MCLnに供給し、自動的に救済アドレスをラッチさせるようにしたものである。

【0024】また、設定回路10とメモリ診断コントローラ20との間には、設定回路10からのデータFDATAまたは外部端子からのデータDATAのいずれかをメモリ診断コントローラに供給させるためのセクタSELが設けられている。これによって、システム稼動中にいずれかのメモリブロックにおいてあらたに不良ビットが発生したような場合に、設定回路10からのデータFDATAに代えて外部からのデータDATAを不良ビットが発生したメモリブロックへ送ってラッチさせることで、チップの交換あるいはヒューズへの追加プログラムを行なうことなく故障をなくすることができるようになる。

【0025】さらに、上記設定回路10を構成するシフトレジスタ自身の故障の有無を検出できるようにするため、初段のフリップフロップF/F1のデータ端子には、テストデータ入力用フリップフロップF/Finのデータ出力端子が接続されている。また、シフトレジスタの最終段のフリップフロップF/Fzのデータ出力端子は、テストデータ出力用フリップフロップF/Foutのデータ入力端子に接続されている。これによって、例えば、テストデータ入力用フリップフロップF/Finに“1”または“0”をセットしてシフトレジスタに沿ってシフトさせ、最後にテストデータ出力用フリップフロップF/Foutにラッチされたデータが入力データに一致しているか判定することでシフトレジスタに異常があるか否かを検出することができる。

【0026】なお、上記テストデータ入出力用フリップフロップF/Fin、F/Foutは、例えばロジック部のテストあるいはバウンダリスキャンテストに使用さ

れるスキャンバス上に設けることにより、テストデータの設定とテスト結果の読出しが別途特別な仕組みを設けることなく行なえるように構成することができる。また、テストデータ入出力用フリップフロップF/F<sub>in</sub>、F/F<sub>out</sub>を設ける代わりに、テストデータ入出力用の外部端子を設けて直接テストデータを入力したり、テスト結果を観察できるように構成しても良い。

【0027】図2は本発明を適用した半導体集積回路の概略構成を示す。なお、図2に示されている回路ブロックはすべて、単結晶シリコンのような1個の半導体チップ上に形成される。◎印で示されているのは、当該半導体チップに設けられる外部端子としてのパッドであり、図示されているのは実際に設けられる外部端子のうち本発明に関連するものを示しているに過ぎず、これらの外部端子の他に、チップ本来の機能を果たすための外部端子や電源電圧端子が設けられている。

【0028】図2において、符号MCL1、MCL2…MCL<sub>n</sub>で示されているのは、内蔵メモリとしてのRAMマクロセル、LGC11、LGC12…LGC2<sub>n</sub>で示されているのは、チップ本来の論理機能（システム論理）を実現するための論理回路である。上記RAMマクロセルMCL1、MCL2…MCL<sub>n</sub>は、後に詳しく説明するように、それぞれがメモリアレイや選択用のデコーダ回路、読出し書き込み回路の他に、不良ビットと置き換えられる予備メモリ列および置換制御回路やメモリのテストを容易化するためのテスト補助回路等を備えた構成とされる。

【0029】なお、本明細書において、RAMマクロセルとは、予め設計されて動作が確認されているメモリ回路であって、データベース等に登録される複数のRAMの中から所望の記憶容量、性能を有するものを選択してチップ上に配置するだけでよく、詳細な回路設計を省略することができるようにされているものを意味する。かかるマクロセルとしては、RAM以外にもROMや論理演算回路、PLL（フェーズロックドループ）回路、クロックアンプなど論理LSIにおいて良く使用される回路がある。

【0030】この実施例においては、上記RAMマクロセルMCL1、MCL2…MCL<sub>n</sub>を識別するための情報や欠陥アドレス情報を設定するためのヒューズアレイを含む設定回路10と、外部端子からのテストモード設定信号TMODE0～TMODE2やトリガ信号TRIG、制御パルスPULSEに基づいて上記設定回路10に対する制御信号FSETやシフトクロック信号SCKを生成したり、設定回路10に設定されている情報FDATAを読み込んで上記RAMマクロセルMCL1、MCL2…MCL<sub>n</sub>に転送したりするタイミング制御機能や設定情報をシリアル-パラレル変換する機能を有するメモリ診断コントローラ20と、メモリ診断コントローラ20からの設定情報を上記RAMマクロセルMCL1、MCL2…

…MCL<sub>n</sub>へ供給するための専用のメモリコントロールバス30とが設けられている。特に制限されるものでないが、このメモリコントロールバス30は17ビットで構成されており、このうち3ビットには上記テストモード設定信号TMODE0～TMODE2がそのまま出力され、13ビットには設定回路10から読み込まれRAMマクロセルMCL1、MCL2…MCL<sub>n</sub>に転送される設定に関する情報が出力され、残る1ビットには設定情報をラッチするタイミングを与える信号が出力される。

【0031】また、特に制限されるものでないが、この実施例においては、チップに内蔵された上記RAMマクロセルMCL1、MCL2…MCL<sub>n</sub>をテストするためのテストパターンを発生するパターンジェネレータなどからなるメモリテスト回路40が設けられている。パターンジェネレータは、FSM（フィニットステータマシン）方式やマイクロプログラム方式の回路を利用することができる。かかるメモリテスト回路はBIST（ビルトインセルフテスト）技術として既に確立されているものを使用しているに過ぎないので詳しい説明は省略する。メモリテスト回路40は、外部からメモリテストのスタート信号MBISTSTARTを与えるとテストパターンやテスト制御信号を生成してテスト信号線50を介して各RAMマクロセルMCL1、MCL2…MCL<sub>n</sub>に供給するように構成されている。

【0032】なお、上記メモリテスト回路40をチップ上に形成する代わりに、破線Aで示すように上記テスト信号線50に接続されるテスト用入力端子TESTINを設けて、外部のメモリテスト回路で生成した上記テストパターンやテスト制御信号と同様な信号あるいは固定パターンを上記テスト用入力端子TESTINより入力してRAMマクロセルMCL1、MCL2…MCL<sub>n</sub>をテストするように構成することも可能である。

【0033】図3には、設定回路を構成するシフトレジスタの構成例が示されている。なお、図3では、各フリップフロップがヒューズ内蔵フリップフロップとして示されている。図3に示すように、この実施例のシフトレジスタは、縦続接続された13個のフリップフロップF/F1～F/F13からなる30個のヒューズセットFS1～FS30が設けられ、これらのセットがさらに縦続接続されてなり、各フリップフロップに共通に印加されているシフトクロックSCKによって保持データを1ビットずつシフトするように構成されている。FSETはすべてのフリップフロップに対してその内部のヒューズの状態を取り込んで保持させるためのヒューズセット信号である。

【0034】1つのヒューズセット内の13個のフリップフロップF/F1～F/F13は、それぞれ図4に示すように、用途を示すビットB1、RAMマクロセルの識別コードを示すビットB2～B7、救済アドレスコードまたはタイミング調整コードを示すB8～B13により

構成される。ここで、用途を示すビットB1は、B8～B13のコードが救済アドレスコードまたはタイミング調整コードのいずれを表わしているかを示すビットであり、具体的にはビットB1が“0”のときはB8～B13のコードが救済アドレスコードであることを、またビットB1が“1”のときはB8～B13のコードがタイミング調整コードであることを表わしている。さらに、B8～B13のコードがタイミング調整コードである場合、前4ビットがセンスアンプの活性化タイミングの調

整情報、後2ビットがワード駆動パルスのパルス幅の調整情報とされる。

【0035】また、RAMマクロセルの識別コードを示すビットB2～B7は、さらにマクロセルの種類を示すビットB2、B3とマクロセル番号を示すビットB4～B7とからなる。表1にマクロセルの種類とビットB2、B3との関係の一例を示す。

【0036】

【表1】

B2, B3	RAM種	ワード長	データビット幅	冗長データビット
0 0	マクロセル A	4kW	36	1
0 1	マクロセル B	2kW	36	1
1 0	マクロセル C	1kW	36	1

【0037】表1に示されているように、ビットB2、B3が“00”のときは指定されたRAMマクロセルが4kワードの記憶容量を備えているセルであることを、またビットB2、B3が“01”のときは指定されたRAMマクロセルが2kワードの記憶容量を備えているセルであることを、そしてビットB2、B3が“10”のときは指定されたRAMマクロセルが1kワードの記憶容量を備えているセルであることを、それぞれ表わしている。

【0038】さらに、ビットB2、B3が“11”のときはすべてのRAMマクロセルを指定していることを表わしている。このビットB2、B3によるRAMマクロセルの指定は、主としてビットB1が“1”でビットB8～B13がタイミング調整コードである場合に有効とされる。同一チップ内の同一種類のRAMは互いに特性が近似するので一括してタイミングを調整するのが望ましいためである。

【0039】なお、特に制限されないが、この実施例で「ワード」とはビット長が36ビットのデータを意味する。RAMマクロセルの種類は表1に示されるものに限定されるものでない。ワード長も36ビットである必要はなく、またセルによって互いにワード長が異なっても良い。

【0040】図5に、図3のシフトレジスタ機能を有する設定回路10を構成するヒューズ内蔵のフリップフロップF/F1～F/F13の具体例が示されている。

【0041】図5に示されているように、各フリップフロップは、ヒューズFiおよび該ヒューズと直列に接続されたMOSFET QiとからなりヒューズFiの状態（切断または未切断）に応じた電位（VccまたはGND）をその接続ノードNiに生じさせる状態設定手段11と、前記メモリ診断コントローラ20から供給されるヒューズセット信号FSETによって上記状態設定手段11の設定電位を内部に伝達するための伝送ゲート12と、伝送ゲート12によって伝達された電位状態を保持するためのラッチ回路13と、データ入力端子INに入力されたデータを上記ラッチ回路13に伝達したり遮

断したりするための伝送ゲート14などから構成される。なお、ヒューズセット信号FSETがロウレベルにネゲートされているときに、前記メモリ診断コントローラ20から供給されるシフトクロックSCKに同期して、データ入力端子INに入力されているデータを上記ラッチ回路13に伝達させるように上記伝送ゲート14を制御する信号を形成するため論理回路15が設けられている。

【0042】シフトレジスタ機能を有する設定回路10を構成する図5のヒューズ内蔵のフリップフロップは、ヒューズセット信号FSETが、図6に示すようにハイレベルにアサートされるとラッチ回路13にヒューズの状態FUSEをラッチし、ヒューズセット信号FSETがロウレベルにネゲートされているときにシフトクロックSCKが入るとその立上がりに同期して、データ入力端子INに入力されているデータをラッチ回路13にラッチするように動作する。ラッチ回路13にラッチされたデータは出力端子OUTより次段のフリップフロップのデータ入力端子INに供給される。

【0043】従って、この実施例の回路においては、まず、ヒューズセット信号FSETをハイレベルに変化させてラッチ回路13にヒューズの状態FUSEをラッチしてから、シフトクロックSCKを続けて変化させることによって、各フリップフロップの保持データを次段のフリップフロップへ次々とシフトさせることができる。なお、上記伝送ゲート14が2段ゲートで構成されているのは、データ入力端子INに入力されているデータがそのまま出力端子OUTより出力されてしまういわゆるレーシングを防止するためである。

【0044】次に、図7～図9を用いてメモリ診断コントローラ20の具体例について説明する。

【0045】図7はメモリ診断コントローラ20の諸機能のうちシリアルーパラレル変換回路とRAMテスト用のモードレジスタの具体例を示す。シリアルーパラレル変換回路は縦続接続された13個のフリップフロップからなるシフトレジスタFDSRと各フリップフロップの出力を一方の入力とし、転送許可信号TRENを他方の

入力とする13個のANDゲートG1～G13とから構成されている。なお、フリップフロップからなるシフトレジスタFDSRにはセクタSEL1を介して前記実施例(図3)のヒューズセットFS1～FS30からのヒューズ設定情報FDATAまたは外部端子からの入力データDATAが選択的に入力可能にされている。

【0046】また、上記ヒューズ設定情報シフト用のシフトレジスタFDSRとは別個にRAMテスト用のデータを保持するモードレジスタTM-REGが設けられているとともに、ANDゲートG1～G13の前段にはシフトレジスタFDSRまたはモードレジスタTM-REGの出力を選択的にANDゲートG1～G13に供給するためのセクタ群SEL2が設けられている。モードレジスタTM-REGは、ロジック部のテストあるいはバウンダリスキャンテストに使用されるスキャンパス上に設けられ、スキャンパスを介してRAMテスト用のデータが設定されるように構成される。

【0047】図8には、外部端子から入力されるトリガ信号TRIGや制御パルスPULSE、クロックCKに基づいて上記ヒューズセットFS1～FS30に対する制御信号FSETやシフトクロックSCKおよび前記メモリコントロールバス30上に出力されるラッチタイミング信号(MC16)を形成する信号生成回路が、また図9には、外部端子から入力されるテストモード設定信号TMODE0～TMODE2に基づいて上記ANDゲートG1～G13を制御する転送許可信号TRENやセクタSEL1、SEL2を制御する信号EXTSEL、TMSEL等を形成するデコーダ回路が示されている。

【0048】図8において、DVDは外部からのクロックCKを分周する分周回路で、この分周回路によりクロックCKの1/4の周波数のシフトクロックSCKが形成される。また、DLY1～DLY3は内部信号を適当な時間だけ遅延させるための遅延回路、COUNTは内部クロックNCKの数を計数するカウンタ回路、CMP1～CMP3はカウンタ回路の計数値がそれぞれ「13」、「29」、「45」に達したか判定するコンパレータである。このうちコンパレータCMP1は発生するシフトクロックSCKを13個ずつ区切って、シリアル転送されて来るデータを13ビット毎すなわち1ヒューズセットのデータ受信毎にシフトを中断してパラレルデータに変換してメモリコントロールバス30上に出力させるためのものであり、このコンパレータCMP1の出力によってラッチ回路LAT10がリセットされてANDゲートG20が上記シフトクロックSCKの出力を停止させる。

【0049】また、コンパレータCMP2はメモリコントロールバス30上の信号をRAMマクロセルが取り込みを開始するタイミングを与えるためのものであり、コンパレータCMP3はメモリコントロールバス30上の信号をRAMマクロセルが取り込みを終了するタイミン

グを与えるためのものである。コンパレータCMP2がヒューズ設定回路10からのシリアルデータ取込み開始後内部クロックNCKを「29」個計数すると、その出力によってラッチ回路LAT20がセットされてANDゲートG30がRAMマクロセルのデータ取込みタイミングを与えるバス上の信号MC16をハイレベルに立ち上げる。そして、コンパレータCMP3がヒューズ設定回路10からのシリアルデータ取込み開始後内部クロックNCKを「45」個計数すると、その出力によってラッチ回路LAT20がリセットされてANDゲートG30がRAMマクロセルのデータ取込みタイミングを与える信号MC16をロウレベルに立ち下げる。

【0050】図10に、図8の回路に入力されるクロック信号CKおよびトリガ信号TRIGと、図8の回路の内部クロックNCKと、図8の回路から出力される信号ヒューズセット信号FSET、シフトクロックSCK、バス出力信号MC3～MC15およびMC16との関係が示されている。図10から分かるように、内部クロックNCKの13サイクルの間シフトクロックSCKが出力されてヒューズ設定回路10からのシリアルデータの取込みが行なわれ、次の16サイクルでメモリ診断コントロール20からメモリコントロールバス30上に信号が出力される。この間にRAMマクロセルではバス上のマクロセル番号を示す信号B3～B9をデコードして自己宛のデータか否かを判定する。そして、その後の16サイクルでRAMマクロセルへのメモリコントロールバス30上の情報信号B10～B15のラッチが行なわれる。そして、合計で45サイクル要する上記動作をヒューズセットの数である30回だけ繰返すことですべてのヒューズの設定情報が対応するRAMマクロセルへ転送される。




【0051】上記メモリ診断コントロール回路20には、図8に示すように分周回路DVDの次段にセクタSEL3が設けられており、クロック信号CKに変えて外部からの制御パルスPULSEによっても動作可能にされているとともに、このセクタSEL3はデータの切換えを行なう前述のセクタSELと同一の制御信号EXTSELによって制御されることによって、制御パルスPULSEが入力されて動作するときは外部端子から入力されるデータを取り込んでRAMマクロセルに転送するように動作する。

【0052】このようなメモリ診断コントロール回路20の動作の切換えは、外部から供給されるテストモード設定信号TMODE0～TMODE2に応じて行なわれるように構成されている。特に制限されないが、この実施例では、上記テストモード設定信号TMODE0～TMODE2はメモリコントロールバス30上にMC0～MC2として出力され、RAMマクロセルMCL1～MCLnへ供給される。表2は、テストモード設定信号TMODE0～TMODE2とそれにより指定される動作モードとの関係を示す。



【0053】

【表2】

#	動作モード	MCバス																受信ラッチ トリガ信号	備考
		モード指定 <sup>*1</sup>			転送情報														
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15		
1	システム動作	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
2	MCバス受信 ラッチリセット	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
3	救済アドレス/タイミン グ情報転送 (FUSE転送)	0	1	0	用途	マクロ 種	マクロ番号				救済アドレス/ タイミング情報					転送情報フィールドは FUSEマクロセルの情報 が転送される。			
4	救済アドレス/タイミン グ情報転送 (外部端子入力)	0	1	1	用途	マクロ 種	マクロ番号				救済アドレス/ タイミング情報					転送情報フィールドは外 部端子(DATA端子)から の情報が転送される。			
5	RAMサイクル テストモード	1	1	1	0	マクロ 種	マクロ番号				テスト対象 データビット				0	メモリ診断コントローラ内のTM レジスタの内容が転送さ れる。			

\*1)TMODE(0:2)端子に接続される。

【0054】表2に示されているように、TMODE0～TMODE2が“000”にされるとメモリ診断コントロール回路20はその動作を停止しシステム動作モードとされる。一方、TMODE0～TMODE2が“001”にされるとメモリ診断コントロール回路20はメモリコントロールバス30上の信号MC16のみをハイレベルに立ち上げて各RAMマクロセルMCL1～MCLnの受信用ラッチ回路121、122をリセットさせる。

【0055】また、TMODE0～TMODE2が“010”にされると制御信号EXTSELがロウレベルとされ、メモリ診断コントロール回路20はヒューズ設定回路10の設定データFDATAを取り込んでパラレルデータに変換しメモリコントロールバス30上に出力してRAMマクロセルMCL1～MCLnのラッチ回路121、122へ転送する。TMODE0～TMODE2が“011”にされると制御信号EXTSELがハイレベルとされ、メモリ診断コントロール回路20は外部端子からのデータDATAを取り込んでパラレルデータに変換しメモリコントロールバス30上に出力してRAMマクロセルのラッチ回路121、122へ転送する。さらに、TMODE0～TMODE2が“111”にされるとメモリ診断コントロール回路20はRAMサイクルテストの動作モードとなり、その内部に設けられている前記テストモードレジスタTM-REGのデータをRAMマクロセルMCL1～MCLnへ転送するように構成されている。

【0056】次に、図11を用いて、上記RAMマクロセルMCL1～MCLnの構成を説明する。

【0057】この実施例のRAMマクロセルMCLは、複数のメモリセルがマトリクス状に配置されたメモリアレイと冗長回路などの周辺回路を含んだRAMコア110、RAMコア110内の欠陥ビットを予備メモリセルに置き換えるための救済アドレスをメモリコントロールバス30から取り込んで保持する救済アドレス受信ラッチ回路121、RAMコア110内の信号のタイミン

グを調整するためのタイミング情報をメモリコントロールバス30から取込んで保持するタイミング情報受信ラッチ回路122、メモリコントロールバス30から供給されるRAMマクロセルの識別コード(マクロID)が予め自己に与えられたコードと一致するか検出するマクロID一致検出回路130、メモリコントロールバス30から供給されるテストモード信号TMODE0～TMODE2をデコードしてモードに応じて制御信号を生成するテストモードデコーダ140、テストモード時にメモリコントロールバス30から供給されるコード(MC10～MC15)をデコードしてテスト対象ビットを指定する信号TDB0～TDB35を生成するテストビットデコーダ150、テストモード時に読出しデータと期待値データとを比較して一致したか否かを判定するテスト結果比較判定回路160、LSI本来の機能を構成するシステム論理回路から供給されるアドレス信号Aやリード・ライト制御信号WE、ライトデータWDまたはメモリテスト回路40から供給されるアドレス信号TAやリード・ライト制御信号TWE、テストライトデータTWDのいずれか選択するためのセクタ群170などから構成されている。

【0058】上記マクロID一致検出回路130は、図12に示すように、メモリコントロールバス30上の信号MC4～MC9をそれぞれ一方の入力信号とするイクスクルーシブORゲートEOR1～EOR6などからなり、これらのゲートEOR1～EOR6の他方の入力端子は、例えばマスタスライス方式の配線により電源電圧Vccまたは接地点GNDのいずれかに接続され、このうちマクロセルの種類を示す信号MC4、MC5が予め設定されている状態と一致するとマクロ種一致信号TYP-MATCHが生成され、マクロセル番号を示す信号MC6～MC9が一致するとマクロ番号一致信号NUM-MATCHが生成され、さらにすべての信号が一致するとハイレベルのID一致信号ID-MATCHが出力されるように構成されてい

る。

【0059】また、上記テストモードデコーダ140は、図13に示すように、公知のアドレスデコーダなどと類似の構成を有し、メモリコントロールバス30上の信号MC0～MC2をデコードして、例えば表3に示すように、MC0、MC1、MC2が“001”のときはラッチ回路121、122に対するリセット信号RESETが論理“1”にされ、MC0、MC1、MC2が“11

1”のときはセクタ群170をテスト信号側に切り換える制御信号RAMTESTが論理“1”にされ、MC1が“1”のときはMC0、MC2に関わらずラッチ回路121、122に対するラッチ信号TRANSFERが論理“1”にされるように構成されている。

【0060】

【表3】

MC0	MC1	MC2	
0	0	0	RESET="1"
1	1	1	RAMTEST="1"
*	1	*	TRANSFER="1"

【0061】救済アドレス受信ラッチ回路121とタイミング情報受信ラッチ回路122は、それぞれ図14、図15に示すような構成を有しており、メモリコントロールバス30上の信号MC3およびMC16と上記制御信号TRANSFER、ID-MATCH、RESETに基づいてフリップフロップFF31～FF36、FF41～FF46に対するラッチストロブ信号STRBを生成して、これらの信号が所定の組合せになったときにメモリコントロールバス30上の信号MC10～MC15をラッチするように構成されている。そして、ラッチされた信号は、救済アドレス受信ラッチ回路121からRAMコア110へ救済アドレスRYA0～RYA5として、またタイミング情報受信ラッチ回路122からRAMコア110へタイミング調整信号TC0～TC5として、それぞれ供給される。

【0062】なお、ここで、バス上の信号MC3は表2からも明らかなように用途すなわちアドレス救済かタイミング調整かを示す信号、MC16はラッチを行なうか否かを示す信号である。図14と図15の回路の相違は、バス上の信号MC3の入力端子にインバータがあるか否かのみであり、MC3が論理“0”すなわちアドレス救済を示しているときは図14のラッチ回路がメモ

リコントロールバス30上の信号MC10～MC15をフリップフロップFF31～FF36にラッチし、MC3が論理“1”すなわちタイミング調整を示すしているときは図15のラッチ回路がメモリコントロールバス30上の信号MC10～MC15をフリップフロップFF41～FF46にラッチする。フリップフロップFF31～FF36、FF41～FF46としては、一般的なD型フリップフロップを用いることができる。

【0063】テストビットデコーダ150は、メモリコントロールバス30上の信号MC10～MC15をデコードし、例えば表4のように、36のデータビットD0～D35のうちテスト対象となるビットの指定信号TDB0～TDB35を生成する。特に制限されるものでないが、MC10～MC15がオール“1”のときは全部のデータビットD0～D35がテスト対象となる。テストビットデコーダ150は、MC0～MC2をデコードするテストモードデコーダ140から出力されるRAMサイクルテスト信号RAMTESTとマクロID一致検出回路130からの一致検出信号をイネーブル信号としてMC10～MC15をデコード動作するように構成される。

【0064】

【表4】

テスト対象 データビット	MC					
	10	11	12	13	14	15
D0	0	0	0	0	0	0
D1	0	0	0	0	0	1
D2	0	0	0	0	1	0
D3	0	0	0	0	1	1
...	...					
D34	1	0	0	0	1	0
D35	1	0	0	0	1	1
全データビット(36ビット)	1	0	0	1	0	0

【0065】テスト結果比較判定回路160は、36ビットのデータに対応してそれぞれ設けられ、RAMコア110からのリードデータとテストライトデータTWDの入力端子から供給されるデータを期待値データとして比較する36個のコンパレータ161と、各コンパレー

タ161の出力側に設けられ上記テストビットデコーダ150からのビット指定信号TDB0～TDB35を一方の入力とするANDゲート162と、このANDゲートの出力を保存するフリップフロップ群からなるレジスタ163とにより構成されている。このレジスタ163

に保存されたテスト結果は、図示しないスキャンバスを介してチップ外部に読み出せるように構成することができる。

【0066】図16には、RAMコア110の具体的な構成例が示されている。この実施例のRAMコア110は、複数のメモリセルMCがマトリックス状に配置されたメモリアレイ111、入力されたアドレス信号をラッチするアドレスラッチ回路112、行アドレス信号をデコードしてこれに対応したメモリアレイ内の1本のワード線WLを選択する行アドレスデコード113、入力された列アドレス信号をデコードしてメモリアレイ内のビット線BL、 $\overline{\text{BL}}$ を選択する列アドレスデコード114、書込みパルスなどを生成するパルス生成回路115、パルス生成回路115により生成された信号を遅延してメモリアレイ内のセンスアンプの活性化信号 $\phi_{sa}$ を生成するタイミング回路116、タイミング情報受信ラッチ回路122から供給されるタイミング調整信号TC0～TC5のうちTC4、TC5をデコードして上記パルス生成回路115に対する調整信号を生成する調整用デコード117a、同じくTC0～TC5のうちTC0～TC3をデコードして上記タイミング回路116に対する調整信号を生成する調整用デコード117b、救済アドレス受信ラッチ回路121から供給される救済アドレスRYA0～RYA5をデコードしてセクタの切換え信号を生成する冗長デコード118、パルス生成回路115により生成された信号に基づいてメモリアレイ内のコモンデータ線CDL、 $\overline{\text{CDL}}$ のプリチャージ信号 $\phi_p$ を生成するタイミング回路119などから構成されている。

【0067】メモリアレイ111は、一度にリード・ライトされる36個のビットデータに対応して36個のメモリブロックBLK0～BLK35と冗長用すなわち予備のメモリブロックR-BLKとにより構成されている。そして、各メモリブロックは、ローカルメモリアレイLMAと、該ローカルメモリアレイLMA内の選択された一対のビット線をコモンデータ線CDL、 $\overline{\text{CDL}}$ に接続させるカラムスイッチCSW、メモリセルからコモンデータ線CDL、 $\overline{\text{CDL}}$ 上に読み出されたデータ信号を増幅するセンスアンプSA、センスアンプSAにより増幅されたリードデータをラッチするデータラッチ回路DLT、リード・ライト制御信号WEとライトデータWDに基づいて選択メモリセルへのデータ書込みを行なうためのライトアンプWA、ライトデータWDやリード・ライト制御信号WEを取り込む入力回路IBF、上記冗長デコード118からの切換え制御信号に従って隣り合うメモリブロックの入力回路IBFinのいずれの

信号を選択するか決定する書込みセクタW-SEL、同じく冗長デコード118からの切換え制御信号に従って隣り合うメモリブロックのデータラッチDLTのいずれの信号を選択するか決定する読出しセクタR-SELなどから構成されている。これらのセクタの動作については、後で詳しく説明する。

【0068】パルス生成回路115は、図17に示すように、可変遅延段VDLY1を有するワンショットパルス生成回路を備えており、調整用デコード117aからの調整信号により可変遅延段VDLY1における遅延量が決定されることにより書込みパルス幅を調整できるように構成されている。また、タイミング回路116は、可変遅延段VDLY2を備えており、調整用デコード117aからの調整信号により可変遅延段VDLY2における遅延量が決定されることによりセンスアンプ活性化タイミングを調整できるように構成されている。

【0069】次に、図18を用いて本実施例における冗長方式について説明する。

【0070】本実施例における冗長方式は、図18に示すように、隣接するメモリブロック間で一方（図では右から左すなわち冗長用メモリブロックのある側からない側）へデータビットをシフト可能にする書込みセクタW-SELと読出しセクタR-SELを設け、故障を含むメモリブロックがある場合に隣接するメモリブロックで置き換え、置き換えに使用されたメモリブロックはさらに隣接するメモリブロックで置き換えることにより、故障を含むメモリブロックを一つだけ救済できるようにするものである。なお、各メモリブロックではそれぞれ1つだけメモリセルが選択され、メモリブロックの数に相当するビットのデータが同時にリード・ライト可能に構成されている。

【0071】一例として図18には、メモリブロックBLK6に欠陥ビットが見つかった場合の救済の仕方が示されている。同図において、破線は欠陥がない場合における本来のデータの入出力ルート、また実線は欠陥救済のためのセクタの切換えを行なった場合のデータの入出力ルートを示す。なお、かかるデータの入出力ルートの変更は、冗長デコード118がそれに入力された救済アドレス信号RYA0～RYA5をデコードして欠陥ブロックから冗長ブロックR-BLKに対応しているセクタを切り換える信号を生成することにより行なわれる。表5には、欠陥ビットを含むメモリブロックと救済アドレス信号RYA0～RYA5との関係の一例が示されている。

【0072】

【表5】

故障メモリ ブロック	救済アドレス (RYA)					
	0	1	2	3	4	5
無し	0	0	0	0	0	0
BLK0	0	0	0	0	0	1
BLK1	0	0	0	0	1	0
BLK2	0	0	0	0	1	1
BLK3	0	0	0	1	0	0
BLK4	0	0	0	1	0	1
...	...					
BLK34	1	0	0	0	1	1
BLK35	1	0	0	1	0	0

【0073】RAMマクロセルのテストの結果、故障ビットが見つかったメモリブロックを隣のメモリブロックで置き換えるため、表5に従って、図3に示す設定回路内のヒューズセットに故障ビットのあるメモリブロックのID（識別コード）と救済アドレスをペアで設定しておき、それをRAMマクロセルに転送することで自動的に冗長回路による欠陥ブロックの置き換えが行なわれるようになる。例えば、マクロセルの種類が“B”で、マクロセル番号が“3”のマクロセルのメモリブロックBLK4に故障ビットが見つかった場合には、図3に示す13個のヒューズセットに“0010011000101”を設定してやればよい。ここで、“1”が立っているビットに対応するヒューズは切断されること、“0”が立っているビットに対応するヒューズは切断されないことを意味している。先頭ビットの“0”は用途がアドレス救済であることを表わし、次の2ビット“01”はマクロセルの種類が“B”、次の4ビット“0011”はマクロセル番号が“3”、残りの6ビット“000101”は欠陥ブロックがメモリブロックBLK4であることを表わしている。

【0074】次に、RAMマクロセル内におけるタイミングの調整について説明する。図16に示すようなRAMマクロにおいては、図19（A）に示すように、ワード線WLを選択レベルに立ち上げるとビット線BL、/BLの電位差が広がり始め、適当なタイミングで活性化信号φsaを立ち上げてセンスアンプSAの動作を開始させるとビット線BL、/BLの電位差が増幅され、“0”または“1”のデータが確定する。実際のデバイスでは、素子の特性ばらつきによりセンスアンプSAにオフセット電圧やオフセット電流が生じ、これによってビット線BL、/BLの電位差が小さいときすなわちワード線立ち上げ後の時間が早いうちにセンスアンプSAを活性化させると逆方向に電位差が増幅されるような誤動作が発生するおそれがある。一方、かかる誤動作を確実に回避するためセンスアンプSAを活性化させるタイミングを遅くしてマージンを大きくすると読出し時間の劣化につながる。

【0075】従って、それぞれのRAMマクロセルの実力に応じてセンスアンプSAの活性化タイミングを調整するのが望ましい。本実施例のRAMマクロセルにおい

ては、前述したように、そのようなセンスアンプ活性化タイミングの調整を信号TC0～TC3を用いて行なえるように構成されている。具体的な調整の仕方は、例えば先ず外部データ端子DATAから適当な調整信号TC0～TC3を生成させるためのデータを入力してタイミング情報受信ラッチ回路122に保持させてテストを行ない、これをタイミングをずらして何回か繰り返すことで最適のタイミングを検出して、そのようなタイミングが得られるデータを図3のヒューズセットに設定しておき、それをRAMマクロセルに転送することで自動的にタイミング調整を行なわせることができる。

【0076】なお、かかるタイミング調整の場合、RAMマクロセルの種類が同じであれば同じような特性になるので、マクロセルの種類ごとに同一の設定を行なうようにするのが良い。具体的には、図4に示す用途用のビットB1を“1”に設定してタイミング調整であることを指定するとともに、マクロセルの種類を指定するビットB2、B3には調整をしたいマクロセルの種類を示すコードを設定する。さらに、ビットB8～B11に所望のタイミング情報を設定してやれば良い。また、この場合、ビットB4～B7のマクロセル番号には“1111”を設定することですべてのマクロセルが対象であることを宣言することができる。

【0077】ところで、この実施例においては、ビットB8～B13に救済アドレスまたはタイミング情報を設定し、それがいずれを表わしているかは用途指定用のビットB1で指定するようにしているので、同一種類のRAMマクロセルの中に一つでも欠陥ビットの置き換えを行なうものがあるチップにおいては、タイミング調整は行なうことができないこととなる。つまり、欠陥ビットの置き換えを優先することで、歩留まりを保証しつつRAMの能力を最大限まで引き出すことができる。また、テスト結果およびタイミング調整結果に基づいてRAMをその能力に応じてランク付けして出荷することも可能となる。

【0078】次に、書込みパルス幅の調整について説明する。ライトアンプWAによる選択メモリセルへのデータの書込みはワード線WLが選択レベルにされている間に終了しなければならない。図19（B）を参照すると分かり易いように、仮に書込みパルス幅が短くてライト

アンプWAによる選択メモリセルへのデータの書込みが終了する前にワード線WLが非選択レベルに変化されてしまうと、記憶データを反転させたい場合に反転する前に選択メモリセルのデータ入力端子が閉じてしまい後書込みが生じるおそれがある。また、逆に書込みパルスを長くしてマージンを大きくし過ぎると、サイクル時間はクロックによって決まっているため次の動作開始までの時間が短くなって、タイミング回路119によるプリチャージ時間が短くなってビット線が所望のレベルまで回復しないうちに次の動作が開始され、誤動作を起こしてしまう。これを回避するためクロックの周期を延ばしてサイクル時間を長く設定するとRAMの性能が低下することとなる。

【0079】従って、それぞれのRAMマクロセルの実力に応じて書込みパルス幅を調整するのが望ましい。本実施例のRAMマクロセルにおいては、前述したように、そのような書込みパルス幅の調整を信号TC4、TC5を用いて行なえるように構成されている。具体的な調整の仕方は、前述のセンスアンプの活性化タイミングと同様であるので詳細な説明は省略する。ただし、この場合においても、RAMマクロセルの種類が同じであれば同じような特性になるので、マクロセルの種類ごとに同一の設定を行なうようにするのが良い。また、同一種類のRAMマクロセルの中に一つでも欠陥ビットの置き換えを行なうものがあるチップにおいては、タイミング調整は行なうことができないこととなるので、欠陥ビットの置き換えを優先することで、歩留まりを保証しつつRAMの能力を最大限まで引き出すようにするのが良い。

【0080】なお、上記実施例においてはタイミング調整の対象としてセンスアンプの活性化タイミングと書込みパルス幅を例にとりて説明したが、調整する対象となるメモリ内部の信号のタイミングとしては、それ以外にも例えば以下の様なものが考えられる。

- (1) カラムスイッチ等Y系選択信号の非選択タイミング
  - (2) ビット線、センスアンプ、センスアンプの後段のデータバス等のイコライズ開始タイミング
  - (3) ビット線、センスアンプ、センスアンプの後段のデータバス等のイコライズ終了タイミング
  - (4) 入力回路IBFのセットアップ、ホールド時間
  - (5) 出力データラッチDLTのラッチタイミング
- これらの全てあるいは幾つかを調整可能とすることにより、さらにメモリセルアクセス時間やサイクル時間の短縮によるメモリの高速化を図ることができる。

【0081】次に、本実施例のLSIにおけるRAMマクロセルの特性評価およびタイミング調整の方法について図20(B)を用いて説明する。

【0082】RAMマクロセルの特性評価およびタイミング調整においては、先ずメモリ診断コントローラ20

に対する外部からのトリガ信号TRIGをロウレベルにネゲートした状態とし(ステップS1)、モード信号TMODE0~TMODE2として“011”を与える(ステップS2)。これによって、メモリ診断コントローラ20は、外部端子DATAからのデータ入力モードであることを認知して対応する制御を開始する。

【0083】次に、外部よりメモリ診断コントローラ20に対して制御パルスPULSEを入力する(ステップS3)。すると、最初の制御パルスPULSEでメモリ診断コントローラ20がリセットされる。続いて、上記トリガ信号TRIGをハイレベルにアサートする(ステップS4)。それから、制御パルスPULSEを与えながら外部データ端子よりRAMマクロセルに設定したいデータDATAを入力する(ステップS5)。すると、メモリ診断コントローラ20は制御パルスPULSEに同期してデータを取り込んでパラレルデータに変換する。

【0084】入力されたデータを取り込むとメモリ診断コントローラ20は、それらのデータを、メモリコントロールバス30を介してRAMマクロセルに転送する(ステップS6)。このデータは前述したように13ビット(図4参照)からなり、この場合には特性評価であるので、用途を示す最初のビットB1は“1”とされ、マクロセルの種類を示すビットB2、B3は対象となるマクロセルを示す“00”、“01”または“10”のいずれかとされる。ビットB8~B15には適当なタイミング情報コードが設定される。

【0085】メモリ診断コントローラ20はデータ転送後、バス上のデータをRAMマクロセルの受信ラッチ回路が取り込むのに必要な時間待った後に次のデータの取り込みを行なう。そして、このデータ取り込みとデータ転送とをデータセットの数(この場合、マクロセルは3種類であるので3回)だけ繰り返して、データの転送が終了する。その後、外部からのトリガ信号TRIGをロウレベルにネゲートして一連のデータ転送処理が終了する(ステップS7)。図21に上記外部端子からのデータ入力とRAMマクロセルへのデータ転送時の主要な信号のタイミングを示す。図において、T1はメモリ診断コントローラ20のリセット期間、T2は外部端子からの1セットのデータ取込み期間、T3はバスを介したRAMマクロセルへの1セットのデータ転送期間、T4はRAMマクロセルの受信ラッチ回路における1セットのデータ取込み期間、T5は繰返し期間である。

【0086】本実施例のLSIはメモリテスト回路(BIST)を内蔵しているので、上記データ転送終了後に、図20(C)のように先ずテストモード信号TMODE0~TMODE2を“111”に設定してから、スタート信号MBISTSTARTをメモリテスト回路40に与えてやれば、自動的にRAMマクロセルのテストを行なうことができるので、このテストにより得られた結果に基づいて特性評

価と欠陥ビットの判定を行ない、ヒューズセットを含む設定回路10に設定すべき救済アドレスと識別コードまたはマクロセルの種類とタイミング情報を生成する。

【0087】そして、生成した設定情報が正確であるかどうかを確認するために、生成した設定情報をRAMマクロセルに転送して再度メモリテスト回路40による図20(C)に従ったテストを行なう。この際に、設定情報をRAMマクロセルに転送する前に、既にRAMマクロセルの受信ラッチ回路に設定されているデータを無効とするため、図20(D)に従ったラッチのリセット処理を行なう。このラッチリセット処理では、先ずメモリ診断コントローラ20に対する外部からのトリガ信号TRIGをロウレベルにネゲートした状態とし、モード信号TMODE0~TMODE2として“001”を与える。これによって、メモリ診断コントローラ20は、ラッチのリセットモードであることを認知して、次にトリガ信号TRIGがハイレベルにアサートされてからロウレベルにネゲートされるまでの期間、メモリコントロールバス30上に転送データとしてオール“0”を出力し、ラッチトリガタイミングを与える信号(M16)のみ“1”を出力する。すると、RAMマクロセルは受信ラッチ回路にメモリコントロールバス30上のオール“1”のデータを取り込むことで、受信ラッチ回路のリセットが終了する。

【0088】受信ラッチ回路のリセット受信ラッチ回路のリセットが終了すると、図20(B)に従った外部端子からのデータ入力、転送処理を行なう。そして、再び図20(C)に従ったメモリテスト回路によるRAMマクロセルのテストが行なわれ、生成したヒューズ設定情報で正しいと判定されると、その設定情報を設定回路10の各ヒューズに設定する処理が行なわれる。

【0089】その後、図20(E)に従った設定回路10のヒューズ設定情報の転送を行なう。この設定情報転送処理では、先ずメモリ診断コントローラ20に対する外部からのトリガ信号TRIGをロウレベルにネゲートした状態とし、モード信号TMODE0~TMODE2として“010”を与える。これによって、メモリ診断コントローラ20は、ヒューズ設定情報の転送モードであることを認知して、次にトリガ信号TRIGがハイレベルにアサートされてからロウレベルにネゲートまでの期間に、自動的に設定回路10から設定情報をシリアルに読み込んでパラレル変換し、それをメモリコントロールバス30を介してRAMマクロセルに転送する処理を行なう。また、RAMマクロセルは、メモリコントロールバス30上のデータを受信ラッチ回路に取り込むことで、受信ラッチ回路へのヒューズ設定情報の転送が終了する。このときのデータ転送は外部から供給されるクロック信号CLKに従って行なわれる。

【0090】そして、設定された設定情報が正確であるかどうかを確認するために、再度メモリテスト回路40

による図20(C)に従ったテストを行なう。これによって、RAMマクロセルのデバッグが終了する。なお、ヒューズ設定回路およびメモリ診断コントローラを備えた本実施例のLSIにあっては、図20(B)の機構を利用することでチップをシステムボードに搭載した後に故障が発生した場合に、オンボードでの救済や性能の最適化が可能になる。すなわち、システムボード上に例えばフラッシュメモリ等を搭載しておいて、チップ内のヒューズ設定回路に設定した情報と同一の情報を当該フラッシュメモリに格納しておき、図20(C)に従ったテストで不具合が見つかったならば、その不具合を回避できるような情報を生成してその情報に基づいてフラッシュメモリのデータを書き替えるようにすれば良い。

【0091】なお、上記設定回路10からのヒューズ設定情報のRAMマクロセルへの転送は、システムの立上がり時にも行なわれる。図20(A)に、システム立上がり時のデータ転送手順が示されている。

【0092】システムの立上がりにおいては、先ずメモリ診断コントローラ20に対して外部から与えるモード信号TMODE0~TMODE2として“000”にしておく(ステップS31)。これによって、メモリ診断コントローラ20は、設定回路10からのヒューズ設定情報のRAMマクロセルへの転送が必要であることを認知する。

【0093】次に、システムクロックが安定するまで1μ秒程度待機してから(ステップS32)、上記トリガ信号TRIGをハイレベルにアサートされたのを受けて設定情報の転送を開始し(ステップS33、S34)、設定回路10から設定情報をシリアルに読み込んでパラレル変換し、それをメモリコントロールバス30を介してRAMマクロセルに転送する処理を行なう。そして、RAMマクロセルは、メモリコントロールバス30上のデータを受信ラッチ回路に取り込むことで、受信ラッチ回路へのヒューズ設定情報の転送が終了する(ステップS35)。その後、トリガ信号TRIGがロウレベルにネゲートされてから(ステップS36)、本来のシステムの動作が開始されることとなる(ステップS37)。

【0094】次に、本発明の他の実施例を、図22および図23を用いて説明する。

【0095】図22の実施例は、第1の実施例(図2参照)におけるBISTからなるメモリテスト回路40の代わりに、JTAG(Joint Test Action Group)で規定されているTAP(Test Access Port)コントローラ50を設けたものである。メモリ診断コントローラ20およびヒューズ設定回路10の構成は前記実施例と同様である。

【0096】この実施例においては、JTAGの命令の1つにヒューズ設定回路の自動転送命令を用意するとともに、TAPコントローラ50の状態を“Updater-IR”から“Run-test/Idle”に遷移させると、TAPコントローラ50からメモリ診断コント

ローラ20に対する制御信号TAPFUSEがアサートされる。そして、メモリ診断コントローラ20は制御信号TAPFUSEがアサートされると、ヒューズ設定回路10に設定されている情報の自動転送を行なうように構成される。RAMマクロセルのテストや外部端子からのデータをRAMマクロセルに転送したり、RAMマクロセル内の受信ラッチ回路のリセットなど、他のモードもJTAGのオプション命令に定義して実行できるように構成することも可能である。

【0097】図23の実施例は、図22においてテストモード信号TMODE0～TMODE2やトリガ信号TRIGを入力する外部端子を設ける代わりにフリップフロップFF51, FF52から与えることができるようにしたものである。なお、このフリップフロップFF51, FF52は、内部論理回路のテストスキャンパス上あるいはバウンダリスキャンテスト用のスキャンパス上に設けることにより、スキャンパスを介して設定を行なうようにするのが望ましい。また、フリップフロップFF51, FF52をバウンダリスキャンテスト用のスキャンパス上に設けることにより、システムボード上での設定およびそれによるRAMマクロセルのテストも可能となる。

【0098】また、前記実施例においてはRAMマクロセルにおける欠陥救済やリード・ライトタイミングの調整を例にとって説明したが、本発明は、PLL回路の逡倍比の設定やクロックアンプにおける伝達クロックのタイミング調整などRAMマクロセル以外の回路ブロックの性能調整や動作モードの設定にも適用することができる。

【0099】他の応用例の1つとして、クロックアンプへの適用例について、図24および図25を用いて説明する。

【0100】図24は、外部から供給されるクロック信号CKをチップ内部に設けられているRAMや演算ユニットなどのマクロセルに分配するクロック分配系を簡略化して示したものである。大規模な論理LSIでは、クロック信号CKが入力される外部端子INCKからクロックの供給を受けるマクロセルのような末端の回路ブロックBLK1, BLK2, ……までの距離が比較的大きく、ブロック間でクロック供給パスの長さが異なるためクロックスキューが発生することがあり、このクロックスキューによって信号のラッチタイミングがずれて誤動作するおそれもある。そこで、クロックに同期して動作する回路ブロックを有する大規模な論理LSIでは、クロック供給パスの途中にクロックアンプと呼ばれるバッファC-AMP1, C-AMP2……が設けられることがある。

【0101】図25はこのようなクロックスキューを防止するためにクロックアンプに本発明を適用する場合の実施例の概略を示す。この実施例のクロックアンプC-AMPは、本来のバッファアンプAMPの前段に、入力

クロックCKのタイミングを調整するため各々遅延時間の異なる複数の遅延回路DLY11, DLY12, DLY13, DLY14……と、これらの遅延回路のいずれを通過したクロックを選択するか切り換えるセクタSEL10と、コントローラ20'によりメモリコントロールバス30'を介してヒューズ設定回路10'からクロックアンプC-AMPに転送されるセクタSEL10の切換え制御情報を保持するタイミング情報ラッチ回路LAT10と、同じくヒューズ設定回路10'からクロックアンプC-AMPに転送されるID(識別コード)と予め自己に与えられたIDとが一致しているか否か検出するID一致検出回路CMP10とが設けられている。

【0102】ヒューズ設定回路10'やコントローラ20'は、前記実施例においてRAMマクロセルに対応して設けられているヒューズ設定回路10やコントローラ20と類似の構成とすることができ、前記実施例において説明したのと同様な方法でヒューズ設定回路10'からクロックアンプC-AMPにセクタの切換え制御情報とID(識別コード)を転送する。クロックアンプC-AMPは、ID一致検出回路CMP10が転送されてきたID(識別コード)と自己のIDとが一致したことを検出するとそのときのメモリコントロールバス30'のセクタ切換え制御情報をタイミング情報ラッチ回路LAT10に取り込んで保持する。このによって、当該クロックアンプC-AMPにおけるクロックを最適なタイミングに調整して出力することができるようになる。

【0103】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、救済アドレスやセンスアンプ回路の活性化タイミング等を調整する設定回路内のヒューズ素子の代わりにフラッシュメモリを構成する不揮発性記憶素子と同一の素子を用いるようにしてもよい。

【0104】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である複数のRAMを内蔵したマイクロプロセッサのようなLSIに適用した場合について説明したが、本発明はそれに限定されるものでなく、製造後に内部回路の性能調整や動作モードを設定したい半導体集積回路全般に利用することができる。

【0105】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0106】すなわち、製造後に半導体集積回路内の回路ブロック毎にタイミング調整などの設定を変更することができ、これによって各回路ブロックの性能を最大限に引き出すことができるとともに、歩留まりも向上させ

ることができる。例えば、複数のメモリ回路を内蔵した半導体集積回路においては、メモリ回路のアクセスタイミングを調整して動作マージンを高めかつより高速にメモリ回路をアクセスすることができるようになる。また、複数のメモリ回路を内蔵した半導体集積回路において、効率良くメモリ回路の不良ビットを救済して歩留まりの向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の概略を示すブロック図である。

【図2】本発明を適用した半導体集積回路の概略構成図である。

【図3】設定回路を構成するシフトレジスタのブロック図である。

【図4】設定回路を構成するヒューズセットの構成図である。

【図5】図3のシフトレジスタ機能を有する設定回路を構成するヒューズ内蔵のフリップフロップの具体例である。

【図6】図5のヒューズ内蔵のフリップフロップの動作タイミングチャートである。

【図7】メモリ診断コントローラのシリアル・パラレル変換回路とRAMテスト用のモードレジスタの具体例である。

【図8】メモリ診断コントローラのブロック図である。

【図9】メモリ診断コントローラ内のテストモード信号のデコード回路例を示す回路構成図である。

【図10】メモリコントロールバスの転送タイミングチャートである。

【図11】RAMマクロセルの一例を示すブロック図である。

【図12】マクロ一致検出回路の一例を示すブロック図である。

【図13】テストモードデコーダの一例を示すブロック図である。

【図14】救済アドレス受信ラッチ回路の一例を示す回路構成図である。

【図15】タイミング情報受信ラッチ回路の一例を示す

回路構成図である。

【図16】RAMコアセルの一例を示す回路構成図である。

【図17】パルス生成回路の一例を示す回路構成図である。

【図18】本実施例のデータビットシフト式冗長救済方式の動作説明図である。

【図19】RAMコアセル内のタイミングチャートである。

【図20】本実施例のLSIの動作シーケンスである。

【図21】メモリコントロールバスの転送タイミングチャートである。

【図22】TAPコントローラを設けた半導体集積回路の概略構成図である。

【図23】図22において、さらにフリップフロップ回路を設けた半導体集積回路の概略構成図である。

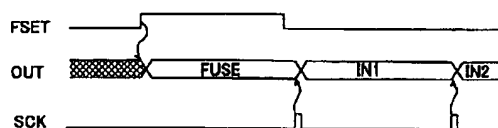
【図24】外部から供給されるクロック信号をチップ内部に設けられている回路ブロックに分配するクロック分配系を示す概略構成図である。

【図25】クロックアンプに本発明を適用した場合の実施例を示すブロック図である。

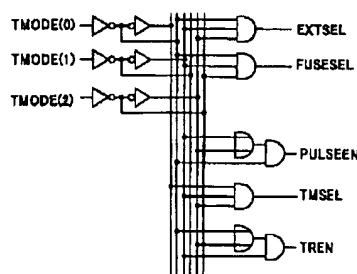
【符号の説明】

- 10 設定回路
- 20 メモリ診断コントローラ
- 30 メモリコントロールバス
- 40 メモリテスト回路
- 50 TAPコントローラ
- Fi ヒューズ
- FS ヒューズセット
- MCL1~MCLn RAMマクロセル
- 110 RAMコア
- 111 メモリアレイ
- 121 救済アドレス受信ラッチ回路
- 122 タイミング情報受信ラッチ回路
- 130 マクロID一致検出回路
- 170 セレクタ

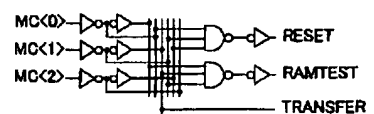
【図6】



【図9】

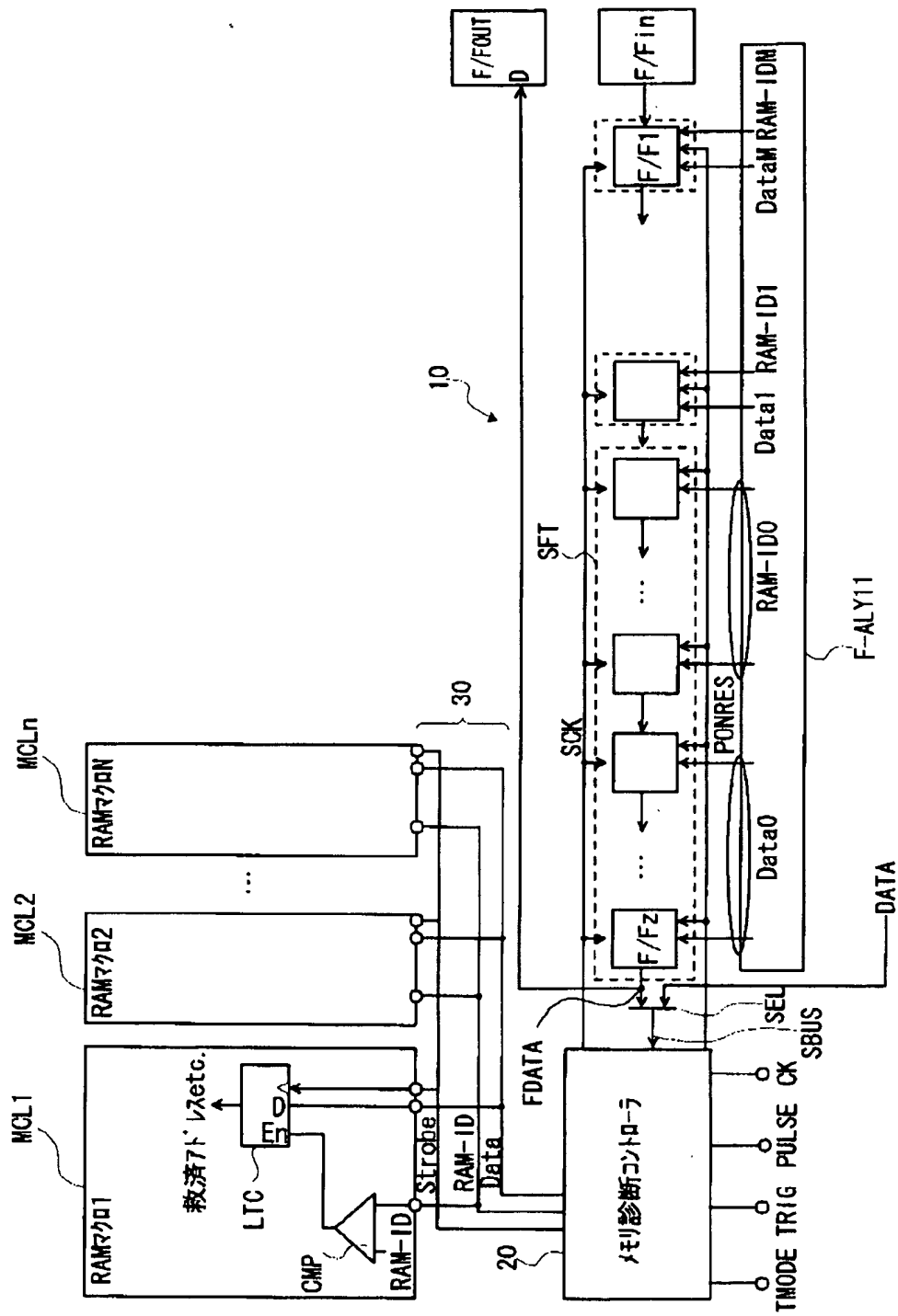


【図13】



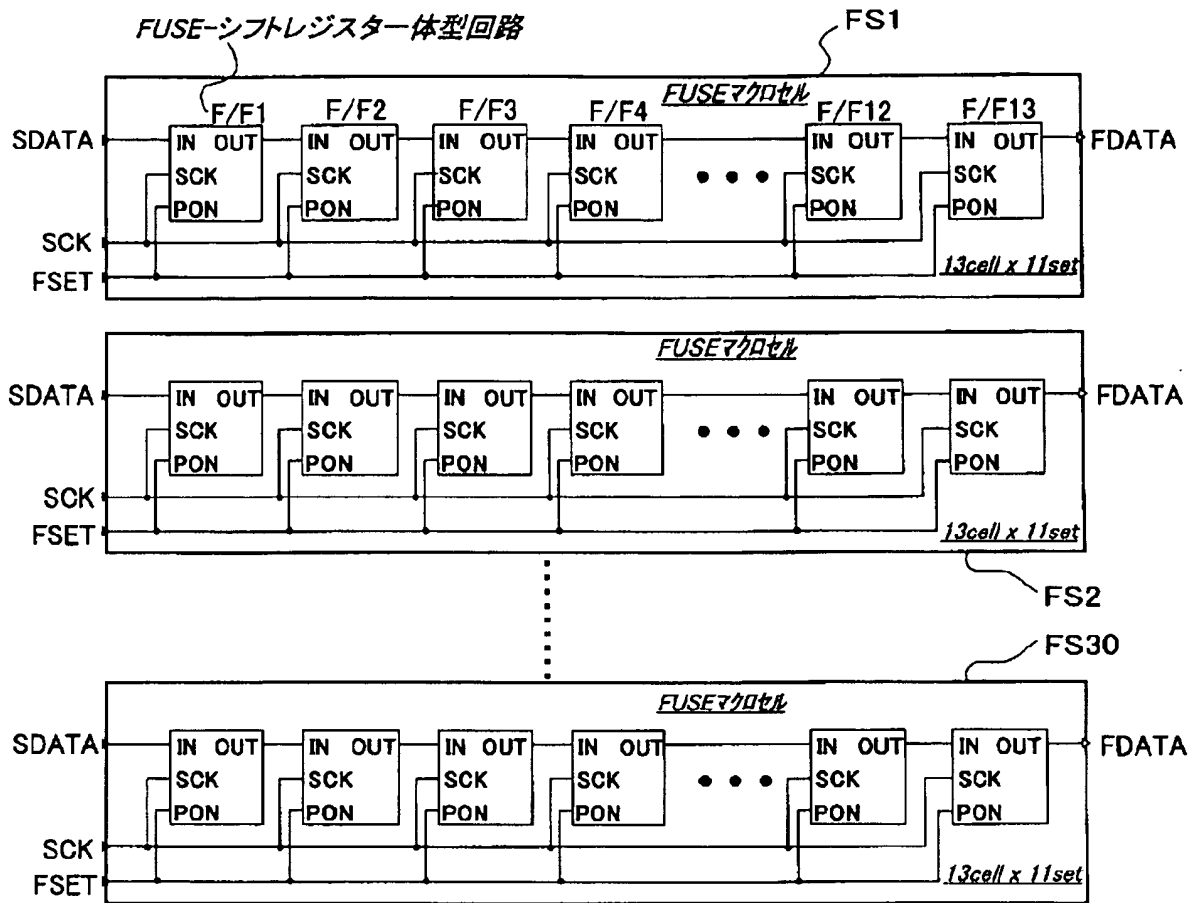


【図1】

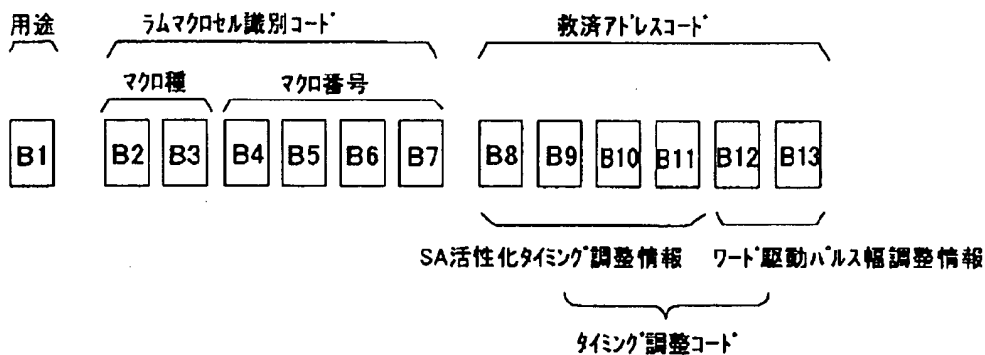




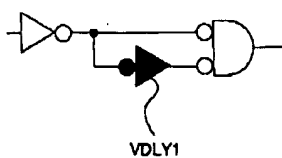
【図3】



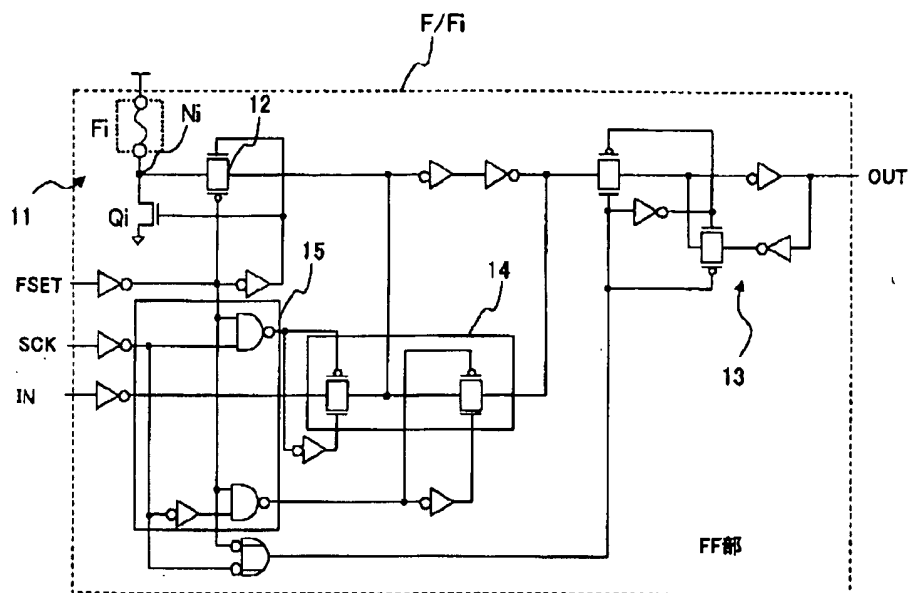
【図4】



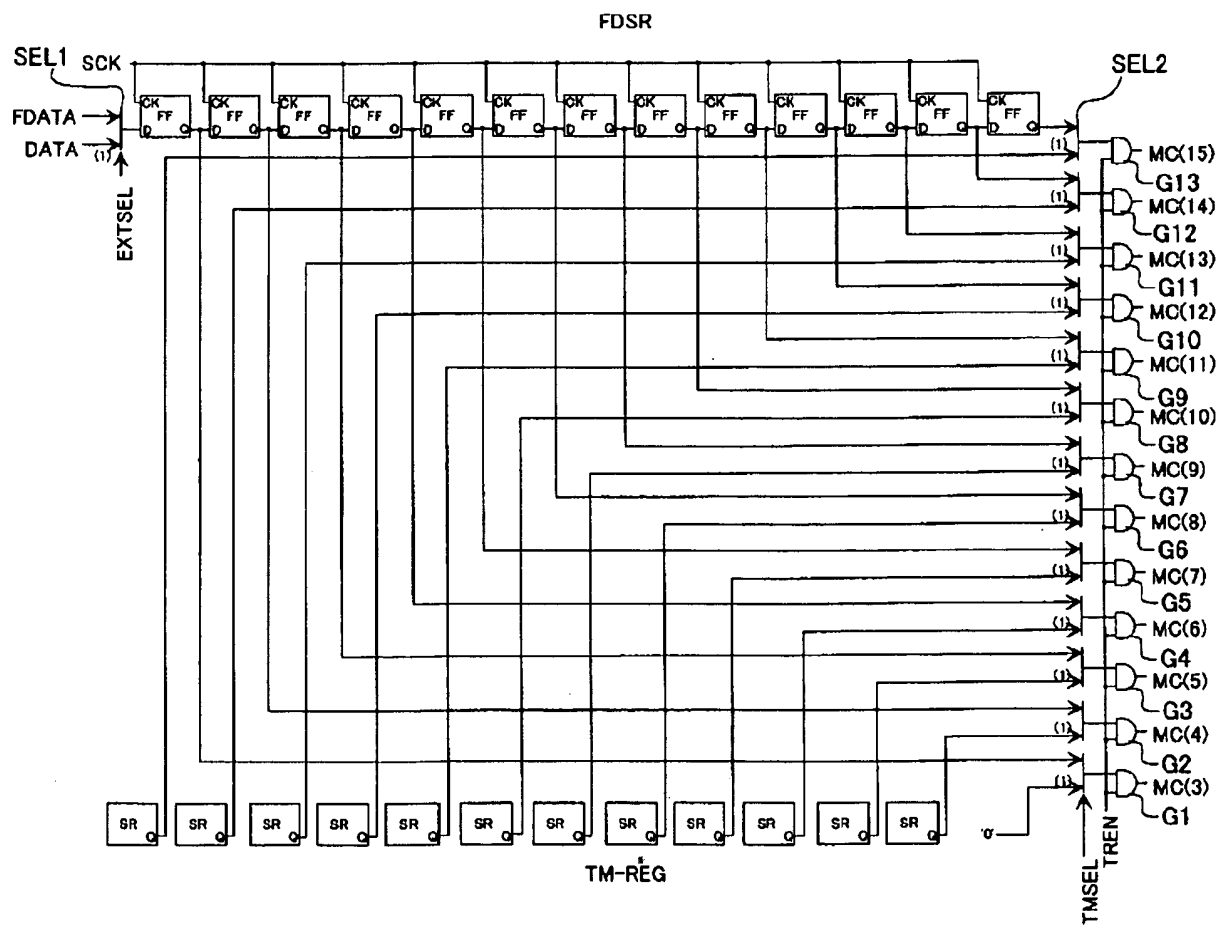
【図17】



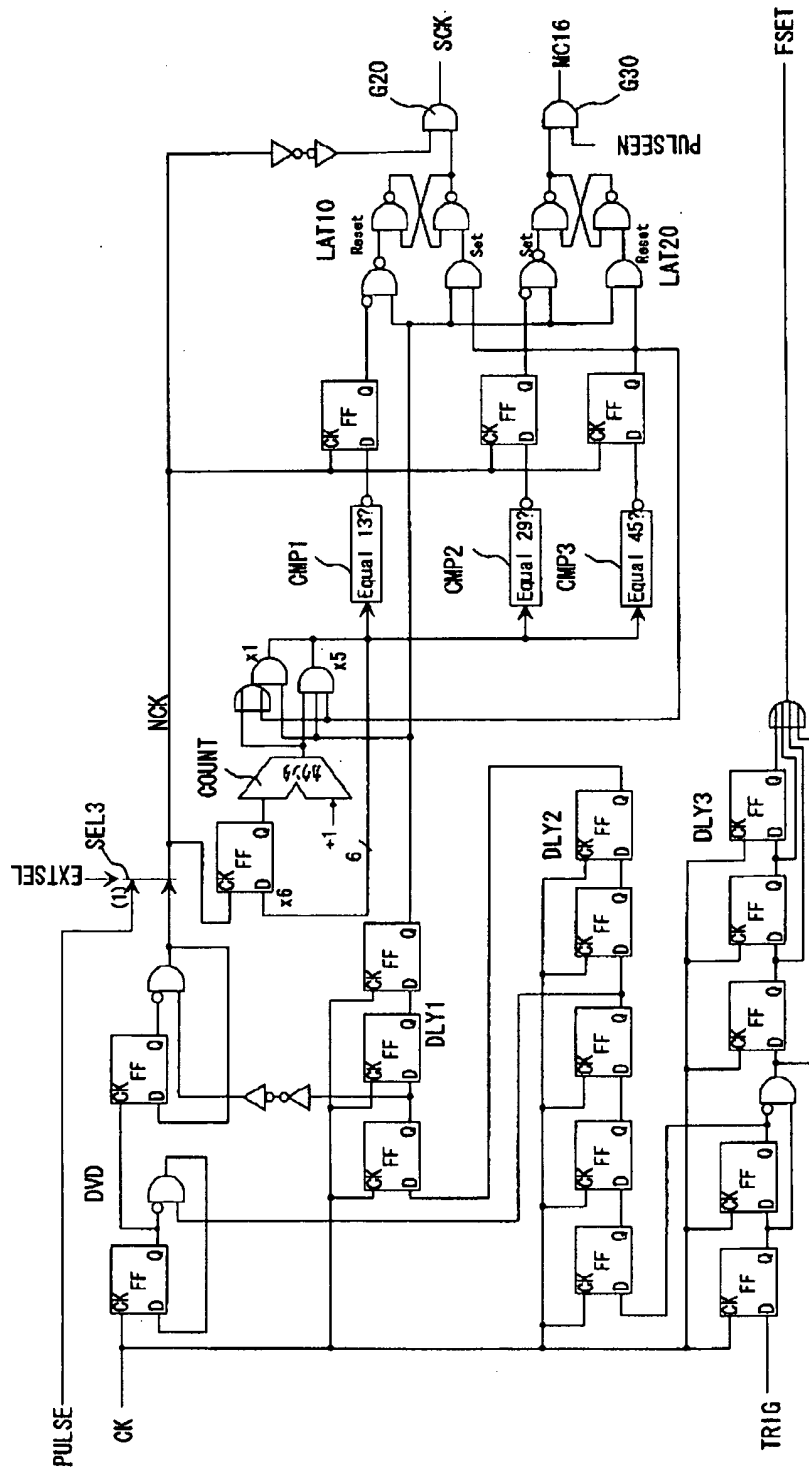
【図5】



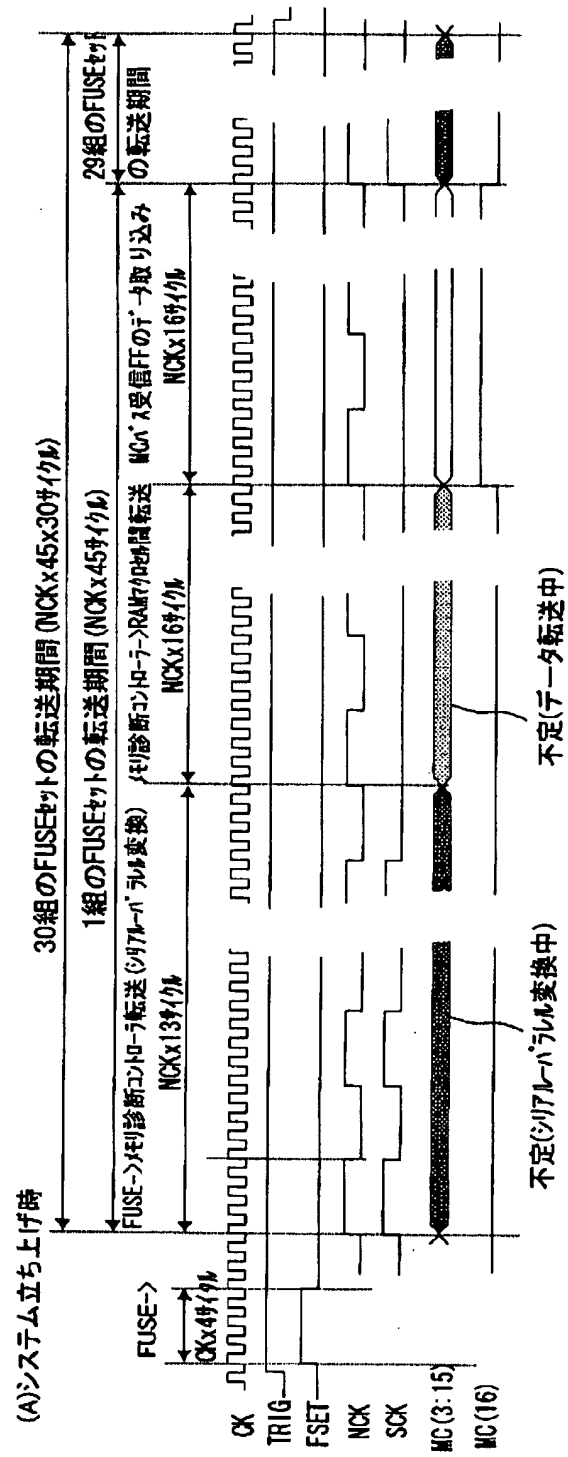
【図7】



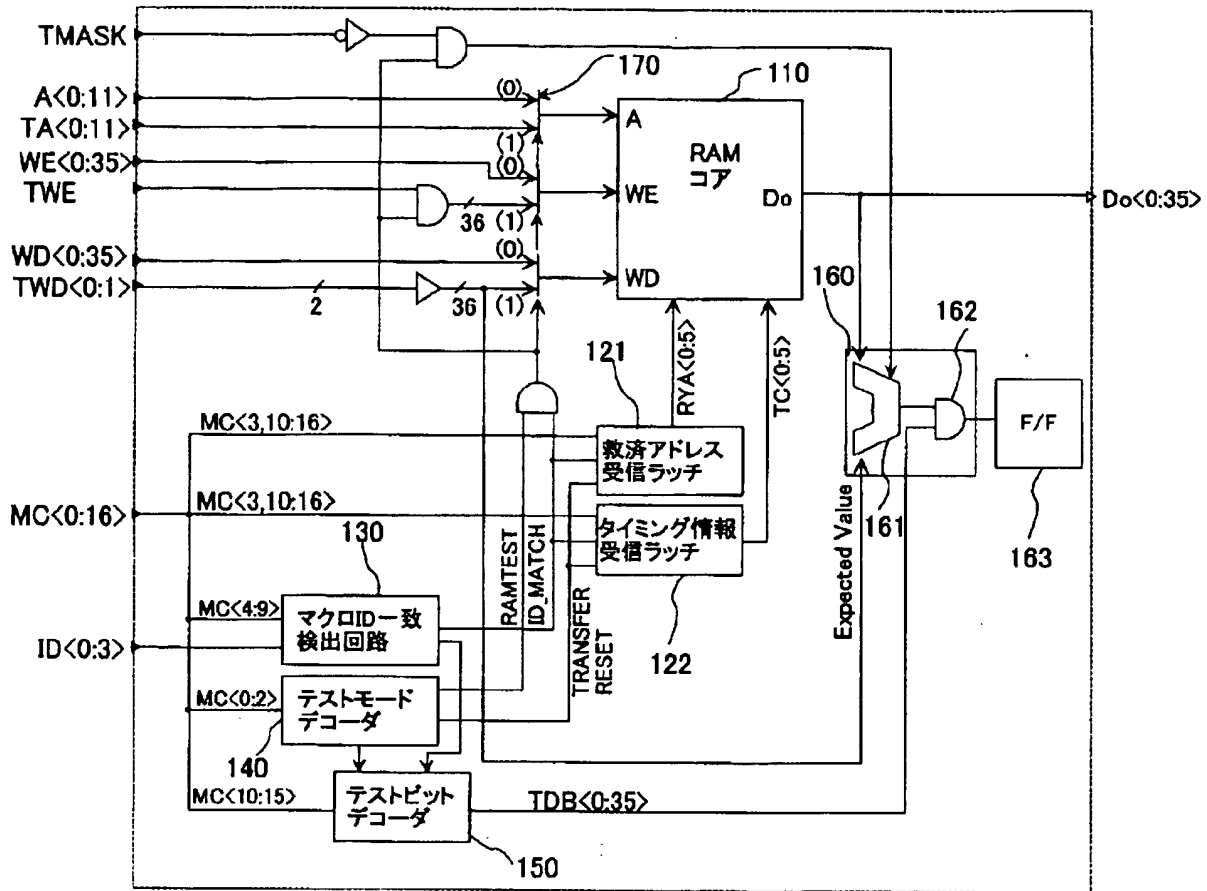
【図8】



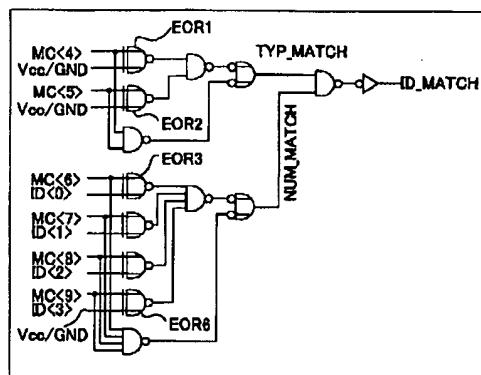
【図10】



【図11】

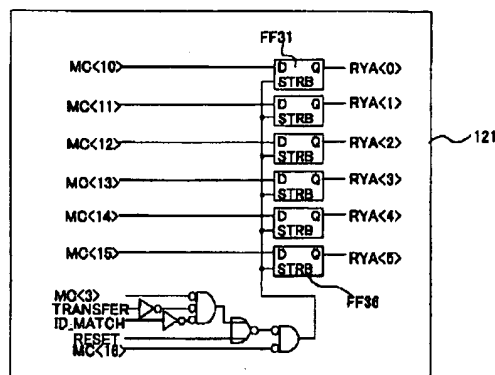


【図12】



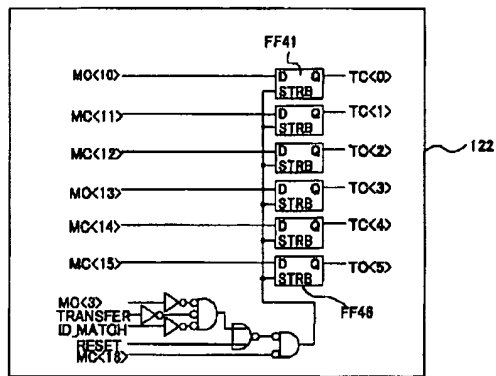
130

【図14】

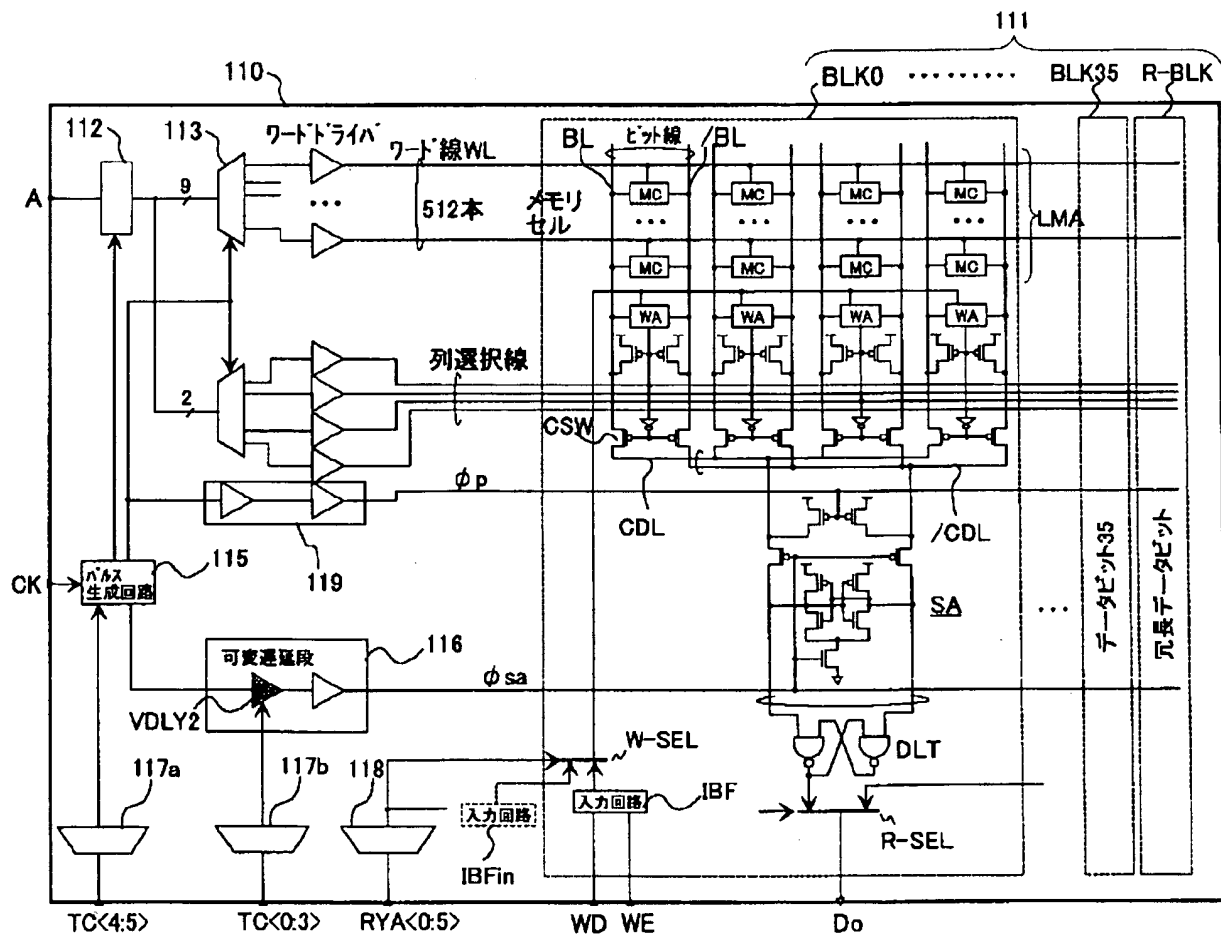


121

【図15】

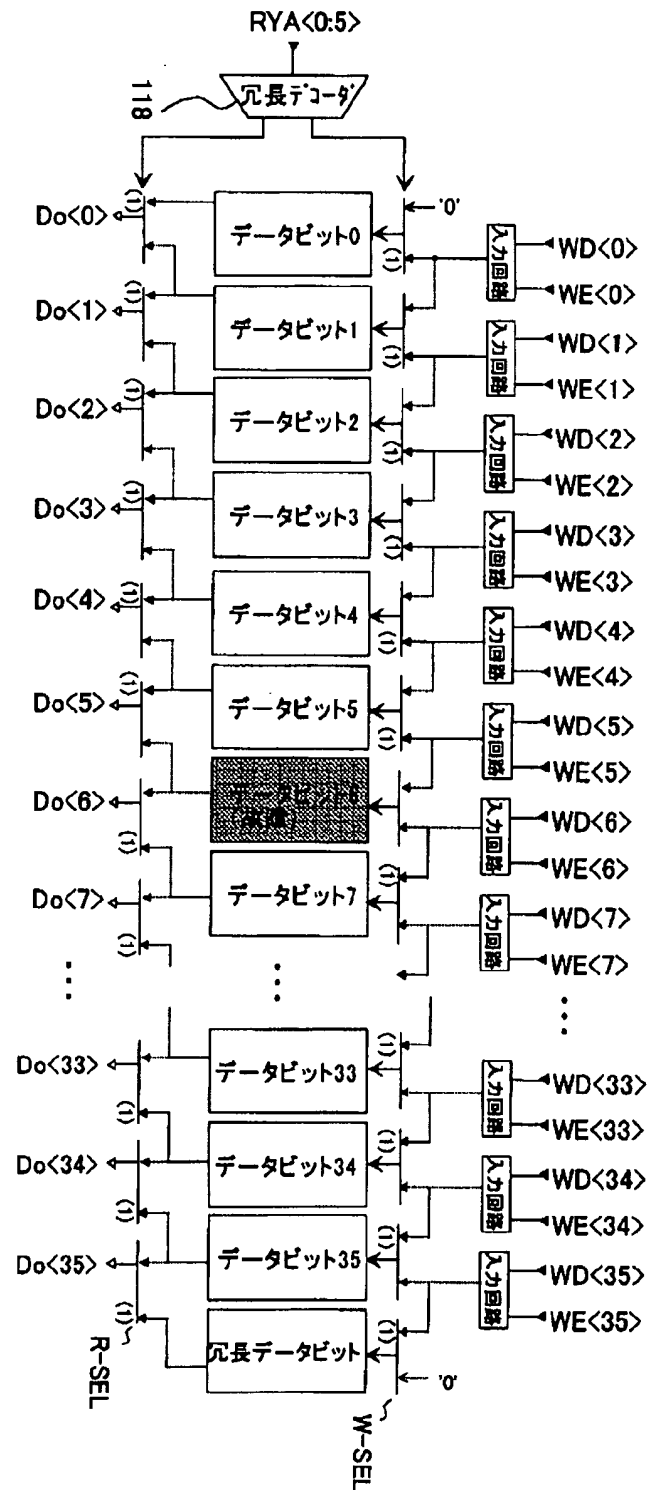


【図16】

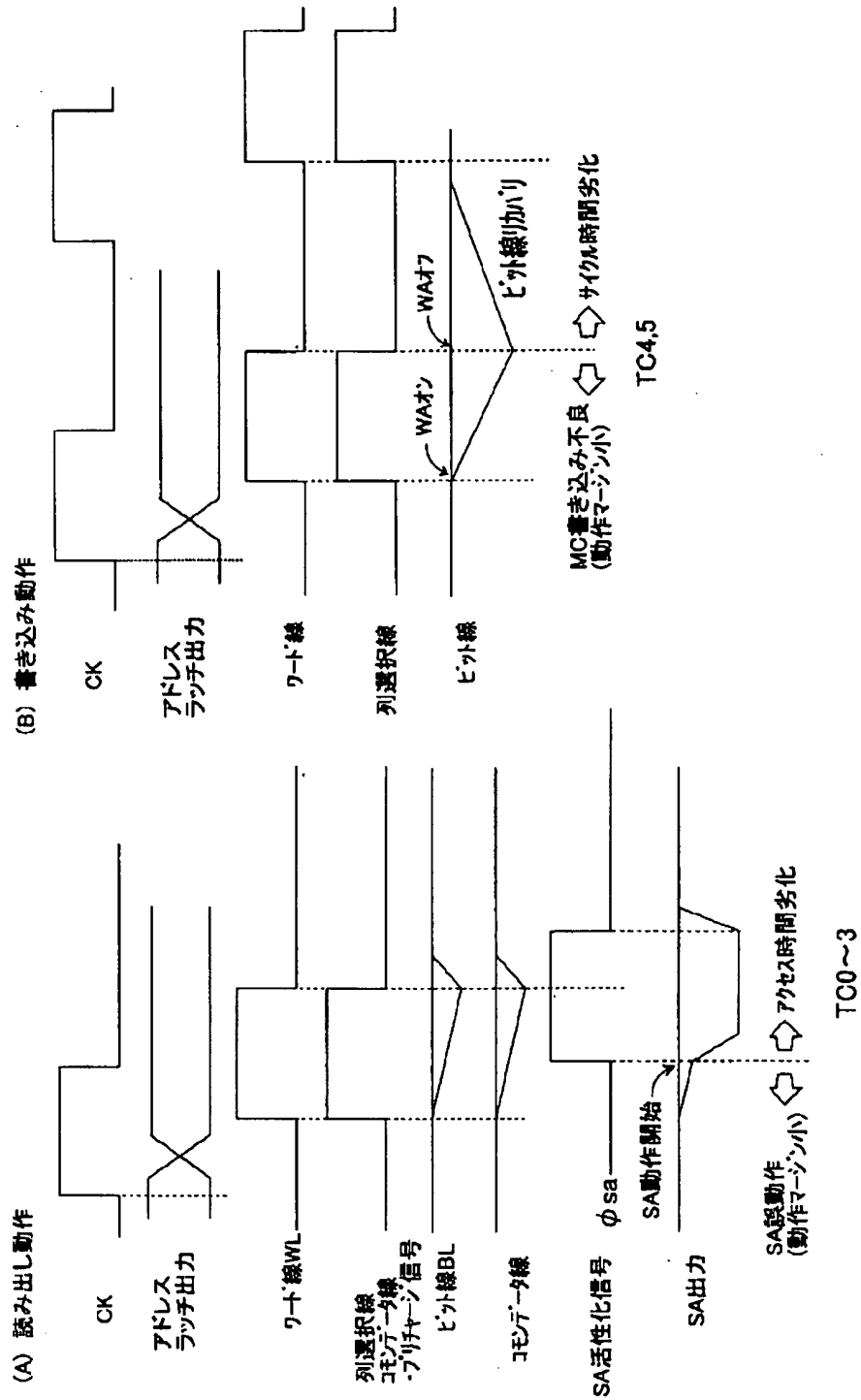




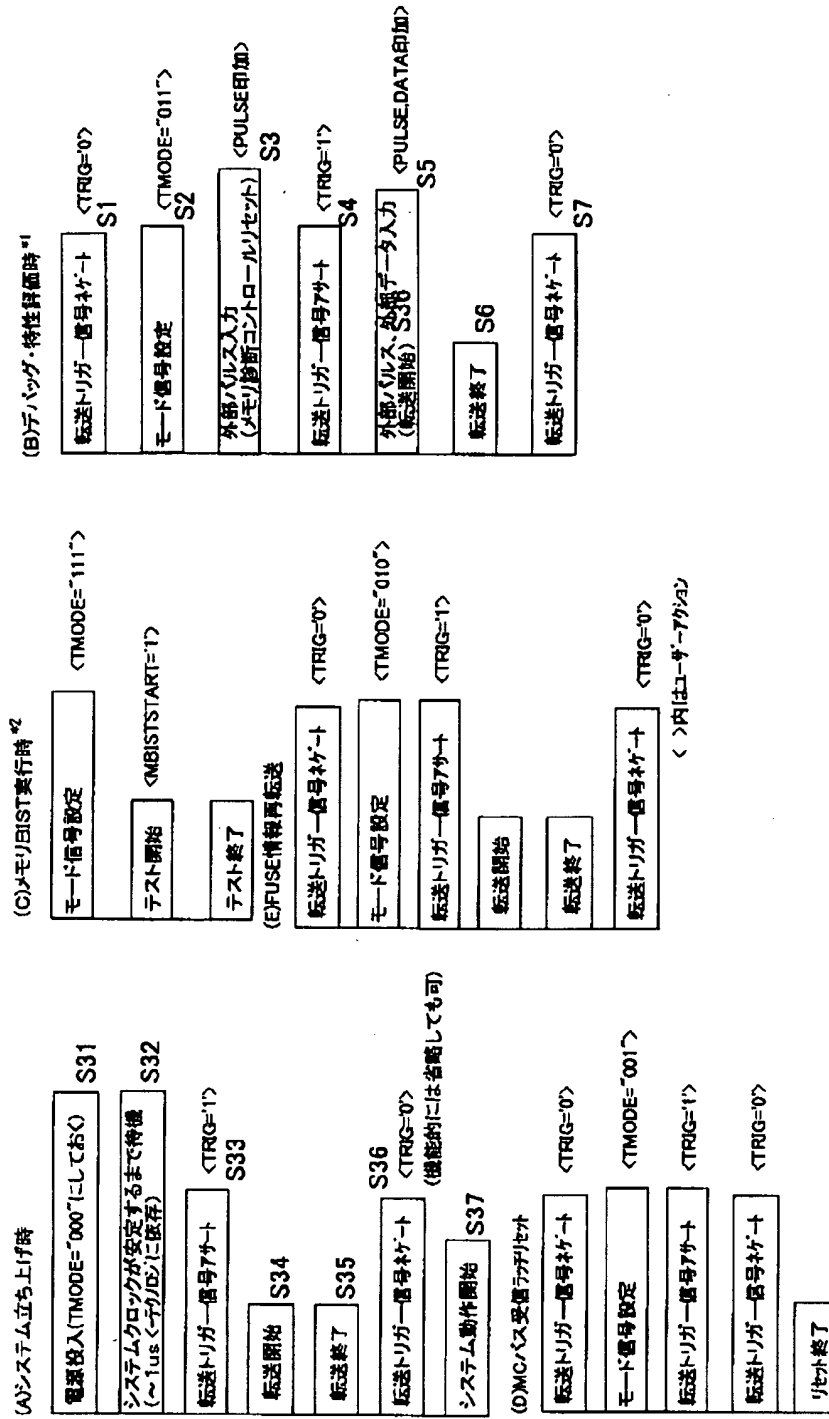
【図18】



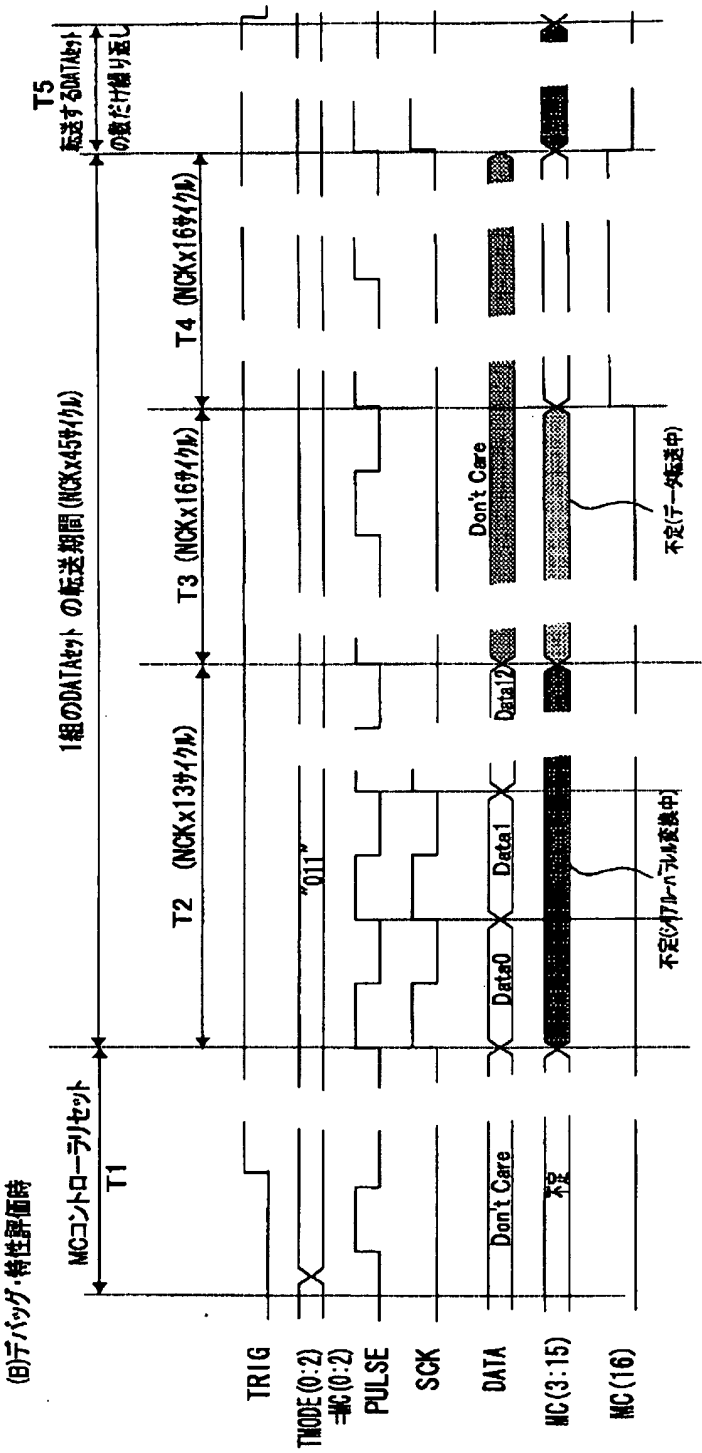
【図19】



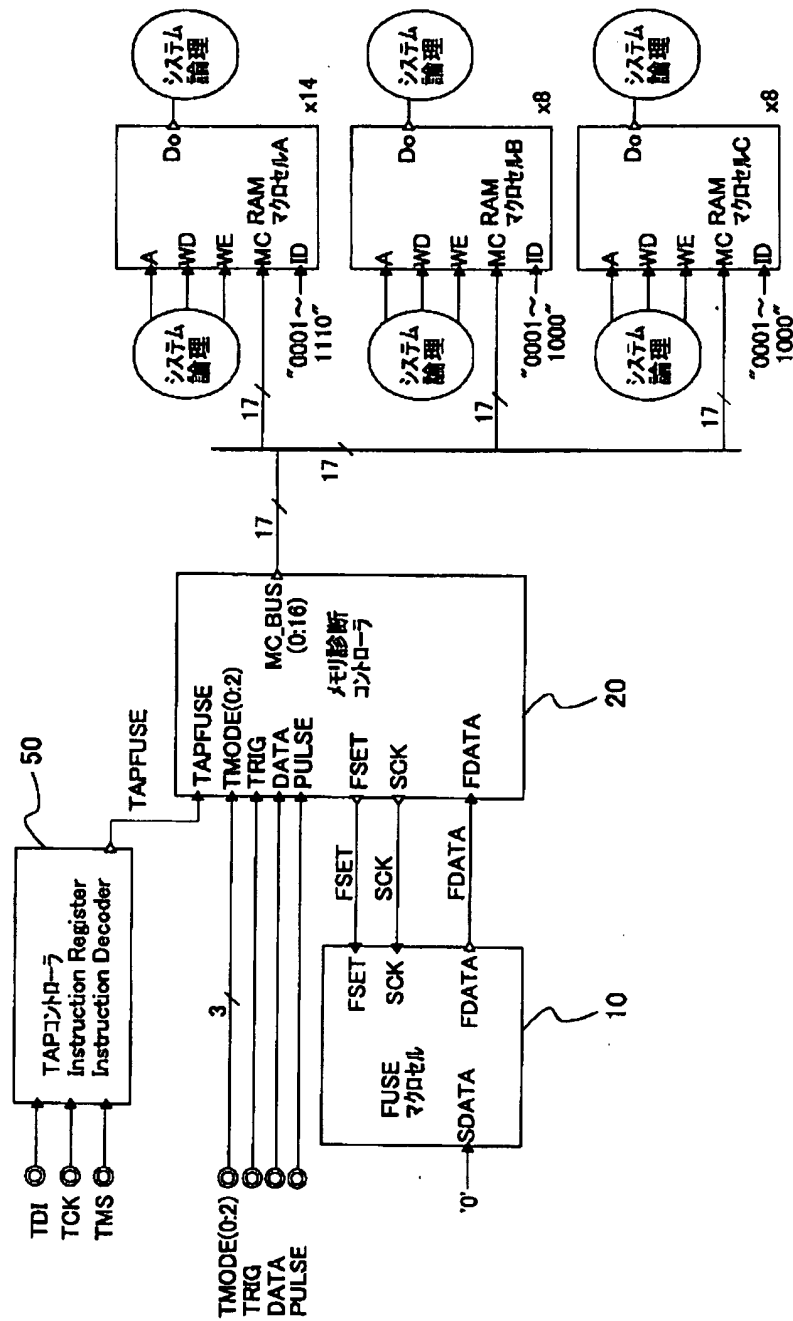
【図20】



【図21】



【図22】







(72)発明者 林 秀樹

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 鈴木 武史

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72)発明者 日下田 恵一

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

Fターム(参考) 2G032 AA07 AA08 AD06 AE07 AE08

AE10 AE12 AG02 AH04 AK15

AK16

5B018 GA03 HA02 KA15 NA01 QA13

5L106 AA15 CC04 CC12 CC14 CC17

GG01 GG03 GG07